

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245343

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/3205
H01L 21/8242
H01L 27/108

(21)Application number : 06-033683

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.03.1994

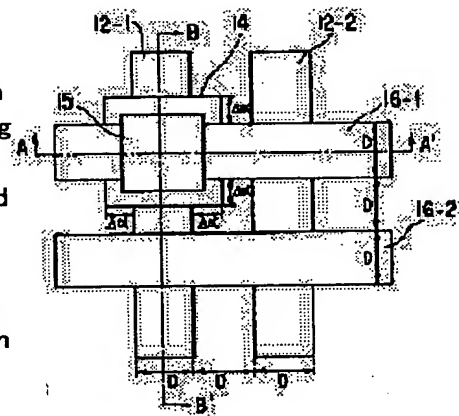
(72)Inventor : KOYAMA HIROSUKE

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device having a contact structure between wirings which is suitable for the high level of integration, and the manufacturing method of the device.

CONSTITUTION: A second wiring 16-1 is formed on a first wiring 12-1 via an insulating film. The first wiring is electrically connected with the second wiring via a contact hole 14 formed on an insulating film on the first wiring. The contact hole is larger than the width of the first wiring and that of the second wiring. The second wiring is formed on the side wall and the bottom of the contact hole, and the contact hole is electrically connected with the first wiring at the bottom of the contact hole. Since mask alignment margin in the contact part of the first wiring and the second wiring is unnecessary, the high level of integration can be realized.



LEGAL STATUS

[Date of request for examination] 25.01.2001

[Date of sending the examiner's decision of rejection] 30.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st wiring, the insulator layer formed on this 1st wiring, and the contact hole formed on the 1st wiring of the above of this insulator layer, In the semiconductor device which has the 2nd wiring which is formed on the above-mentioned insulator layer and is electrically combined with the 1st wiring of the above through the above-mentioned contact hole The above-mentioned contact hole is a semiconductor device characterized by having been larger than the width of face of the 1st wiring of the above, and the 2nd wiring of the above, having formed the 2nd wiring of the above in the side attachment wall and pars basilaris ossis occipitalis of the above-mentioned contact hole, and combining electrically the 2nd wiring of the above, and the 1st wiring of the above at the pars basilaris ossis occipitalis of the above-mentioned contact hole.

[Claim 2] Two or more 1st wiring formed in parallel along the 1st direction with the minimum line width and the minimum interval which were determined by the design rule, With the insulator layer formed on these 1st wiring, the contact hole formed in the above-mentioned insulator layer on the 1st wiring of the above, and the minimum line width and the minimum interval which were determined by the design rule on the above-mentioned insulator layer In the semiconductor device with which it has two or more 2nd wiring formed in parallel along the 1st direction of the above, and the 2nd direction which intersects perpendicularly, and the 1st wiring and the 2nd wiring are electrically combined through the above-mentioned contact hole The side parallel to the 1st direction of the above-mentioned contact hole is smaller than the value which applied the line breadth of the 2nd wiring of the above the twice of wiring spacing of the 2nd wiring of the above more greatly than the line breadth of the 2nd wiring of the above. The side parallel to the 2nd direction of the above-mentioned contact hole is smaller than the value which applied the line breadth of the 1st wiring of the above the twice of wiring spacing of the 1st wiring of the above more greatly than the line breadth of the 1st wiring of the above. The semiconductor device characterized by having formed the 2nd wiring of the above in the side attachment wall and pars basilaris ossis occipitalis of the above-mentioned contact hole, and combining electrically the 2nd wiring of the above and the 1st wiring of the above of the pars basilaris ossis occipitalis of the above-mentioned contact hole.

[Claim 3] Two or more 1st wiring formed in parallel with the minimum line width and the minimum interval which were determined by the design rule, With the insulator layer formed on these 1st wiring, the contact hole formed in the above-mentioned insulator layer on the 1st wiring of the above, and the minimum line width and the minimum interval which were determined by the design rule on the above-mentioned insulator layer In the semiconductor device with which it has two or more 2nd wiring formed in parallel along the 1st wiring top of the above, respectively, and the 1st wiring and the 2nd wiring are electrically combined through the above-mentioned contact hole The side which intersects perpendicularly with the 1st wiring of the above of the above-mentioned contact hole, and the 2nd wiring Are smaller than the value which applied the line breadth of the 1st wiring of the above, and the 2nd wiring the twice of wiring spacing of the 1st wiring of the above, and the 2nd wiring more greatly than the line breadth of the 1st wiring of the above, and the 2nd wiring. The semiconductor device characterized by having formed the 2nd wiring of the above in the side attachment wall and pars

basilaris ossis occipitalis of the above-mentioned contact hole, and combining electrically the 2nd wiring of the above and the 1st wiring of the above of the pars basilaris ossis occipitalis of the above-mentioned contact hole.

[Claim 4] The component demarcation membrane formed on the semi-conductor substrate with the minimum interval determined by the design rule, Two or more gate electrodes which are formed through gate dielectric film on the front face of the above-mentioned semi-conductor substrate, and are connected to a word line, The source / drain field formed into the above-mentioned semi-conductor substrate of the both sides of these gates electrode, The insulator layer which covers the above-mentioned source / drain field, and the contact hole of the source / drain field in the above-mentioned insulator layer formed including some above-mentioned gate electrodes and a part of component demarcation membrane upwards on the other hand, The semiconductor device characterized by connecting with either the source or a drain field, covering the side attachment wall and base of a contact hole, and providing a bit line with the line breadth smaller than the diameter of contact on the above-mentioned insulator layer, and the capacitor electrically combined with another side of the above-mentioned source / drain field.

[Claim 5] The top face of said source / drain field is a semiconductor device according to claim 4 characterized by the depth of the source / drain field being deeper than the level difference which is up and is formed rather than the top face of said component demarcation membrane on the top face of said source / drain field, and the top face of said component demarcation membrane.

[Claim 6] The top face of said source / drain field is a semiconductor device according to claim 4 characterized by the depth of the source / drain field having been shallow, and making said source / drain field extend on the side attachment wall of the above-mentioned level difference section rather than the level difference section which is up and is formed rather than the top face of said component demarcation membrane on the top face of said source / drain field, and the top face of said component demarcation membrane.

[Claim 7] The process which forms the 1st wiring, and the process which forms the 1st insulator layer which covers the 1st wiring of the above, The process which forms a larger contact hole than the width of face of the 1st wiring in the 1st insulator layer on the 1st wiring of the above, The process which forms the 2nd wiring material in the whole surface, and the process which embeds the inside of a contact hole by the 2nd insulator layer, the path of a contact hole — smallness — the manufacture approach of the semiconductor device characterized by providing the process which forms the resist of width of face, and the process which uses the above-mentioned resist and the 2nd insulator layer of the above as a mask, carries out patterning of the 2nd wiring material of the above, and forms the 2nd wiring.

[Claim 8] The process which forms the 1st wiring, and the process which forms the 1st insulator layer which covers the 1st wiring of the above, The process which forms a larger contact hole than the width of face of the 1st wiring in the 1st insulator layer on the 1st wiring of the above, it is filled up with the process which forms the 2nd wiring material in the whole surface, and a contact hole pars basilaris ossis occipitalis — as — the path of a contact hole — smallness — with the process which forms the resist of width of face The manufacture approach of the semiconductor device which uses the above-mentioned resist as a mask, carries out patterning of the 2nd wiring material of the above, and is characterized by providing the process which forms the 2nd wiring.

[Claim 9] The process which forms a component demarcation membrane with the minimum interval determined by the design rule on the semi-conductor substrate, The process which forms gate dielectric film on the front face of the above-mentioned semi-conductor substrate, and forms two or more gate electrodes connected to a word line on this gate dielectric film, The process which forms the source / drain field into the above-mentioned semi-conductor substrate, and the process which forms the insulator layer which covers the above-mentioned source / drain field, The process which, on the other hand, forms the contact hole containing some gate electrodes and a part of component demarcation membrane of the above-mentioned source / drain field upwards, The process in which it

connects with either the above-mentioned source or drain field, the side attachment wall and pars basilaris ossis occipitalis of a contact hole are covered, and the line breadth on the above-mentioned insulator layer forms a bit line smaller than the above-mentioned contact hole, The manufacture approach of the semiconductor device characterized by providing the process which forms the capacitor electrically combined with another side of the above-mentioned source / drain field.

[Claim 10] The manufacture approach of the semiconductor device according to claim 9 characterized by providing further the process which forms the source / drain field which etches said a part of component demarcation membrane into coincidence, and extends on the side attachment wall of the exposed semi-conductor substrate in case said contact hole is formed.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the contact structure and its formation approach during wiring in the semiconductor integrated circuit equipment integrated highly in more detail about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] The contact structure and its formation approach during the conventional wiring in semiconductor integrated circuit equipment are explained using drawing 24 and drawing 25. The pattern top view which drawing 24 extracts the contact section of semiconductor integrated circuit equipment, and is shown, and drawing 25 are the cross-section block diagrams which met the A-A'line of drawing 24.

[0003] In drawing 24 and drawing 25, the insulator layer which insulator layers, such as field oxide, turn into in the semi-conductor substrate with which 100 consists of silicon etc., and 101, and wiring of the 1st layer and 103 turn into from BPSG etc. in 102-1,102-2, the contact hole embedded by the conductive restoration member 105 which 104 becomes from a tungsten etc., and 106-1,106-2 are the 2nd-layer wiring. The 1st-layer [above-mentioned] wiring 102-1 and the 2nd-layer wiring 106-1 are electrically connected by the above-mentioned conductive restoration member 105. In order that the surrounding field of the contact section in the 1st-layer [above-mentioned] wiring 102-1 and the 2nd-layer wiring 106-1 may prevent the faulty connection by the mask alignment gap at the time of contact hole 104 formation etc., respectively, width of face is formed widely.

[0004] The structure of the above-mentioned contact section is formed, for example by the following production processes. First, an insulator layer 101 is formed on the semi-conductor substrate 100. When this insulator layer 101 is field oxide, it forms by carrying out selective oxidation of the front face of the semi-conductor substrate 100 for example, by the LOCOS method. Subsequently, on the above-mentioned insulator layer 101, deposition formation of the polish recon layer etc. is carried out,

patterning is performed, and the 1st-layer wiring 102-1,102-2 is formed. Next, after carrying out deposition formation of the insulator layer 103 and carrying out flattening of the front face to the whole surface by approaches, such as a reflow or CMP (Chemical Mechanical Polishing), a contact hole 104 is formed on the above-mentioned wiring 102-1 of this insulator layer 103. Then, after forming a conductive layer for a tungsten etc. the whole surface on selective growth or an insulator layer 103 using a reduced pressure CVD method on the wiring 102-1 in the above-mentioned contact hole 104, a contact hole 104 is embedded by the conductive restoration member 105 by carrying out etchback and making it remain in a contact hole 104. And a tungsten, aluminum, etc. are formed the whole surface on the above-mentioned insulator layer 103 using a CVD method, a spatter, etc., patterning is performed and the 2nd-layer wiring 106-1,106-2 is formed.

[0005] However, by the formation approach, in the contact section, the mask alignment gap was taken into consideration, respectively in the above contact structure lists, and allowances δ is needed for the 1st-layer wiring and the 2nd-layer wiring at them. For this reason, if the lower limit determined by the design rule is set to D, the wiring pitch from which D and wiring spacing are set to $D + \delta$, and wiring width of face serves as an index of a degree of integration will be set to " $2D + \delta$." Mask alignment allowances δ in such the contact section becomes the hindrance of high integration.

[0006]

[Problem(s) to be Solved by the Invention] By a conventional semiconductor device and its conventional manufacture approach, there was a problem that the mask alignment allowances in the contact section served as hindrance of high integration, as mentioned above. This invention was made in view of the above situations, and the place made into that purpose is to offer the semiconductor device which has the contact structure during suitable wiring for high integration, and its manufacture approach.

[0007]

[Means for Solving the Problem] The semiconductor device of this invention indicated to claim 1 The 1st wiring, the insulator layer formed on this 1st wiring, and the contact hole formed on the 1st wiring of the above of this insulator layer, In the semiconductor device which has the 2nd wiring which is formed on the above-mentioned insulator layer and is electrically combined with the 1st wiring of the above through the above-mentioned contact hole The above-mentioned contact hole is larger than the width of face of the 1st wiring of the above, and the 2nd wiring of the above, the 2nd wiring of the above is formed in the side attachment wall and pars basilaris ossis occipitalis of the above-mentioned contact hole, and it is characterized by combining electrically the 2nd wiring of the above, and the 1st wiring of the above at the pars basilaris ossis occipitalis of the above-mentioned contact hole.

[0008] Two or more 1st wiring formed in parallel along the 1st direction with the minimum line width and the minimum interval as which the semiconductor device of this invention of claim 2 was determined by the design rule, With the insulator layer formed on these 1st wiring, the contact hole formed in the above-mentioned insulator layer on the 1st wiring of the above, and the minimum line width and the minimum interval which were determined by the design rule on the above-mentioned insulator layer In the semiconductor device with which it has two or more 2nd wiring formed in parallel along the 1st direction of the above, and the 2nd direction which intersects perpendicularly, and the 1st wiring and the 2nd wiring are electrically combined through the above-mentioned contact hole The side parallel to the 1st direction of the above-mentioned contact hole is smaller than the value which applied the line breadth of the 2nd wiring of the above the twice of wiring spacing of the 2nd wiring of the above more greatly than the line breadth of the 2nd wiring of the above. The side parallel to the 2nd direction of the above-mentioned contact hole is smaller than the value which applied the line breadth of the 1st wiring of the above the twice of wiring spacing of the 1st wiring of the above more greatly than the line breadth of the 1st wiring of the above. The 2nd wiring of the above is formed in the side attachment wall and pars basilaris ossis occipitalis of the above-mentioned contact hole, and it is characterized by combining electrically the 2nd wiring of the above and the 1st wiring of the above of the pars basilaris

ossis occipitalis of the above-mentioned contact hole.

[0009] Two or more 1st wiring formed in parallel with the minimum line width and the minimum interval as which the semiconductor device of this invention of claim 3 was determined by the design rule, With the insulator layer formed on these 1st wiring, the contact hole formed in the above-mentioned insulator layer on the 1st wiring of the above, and the minimum line width and the minimum interval which were determined by the design rule on the above-mentioned insulator layer In the semiconductor device with which it has two or more 2nd wiring formed in parallel along the 1st wiring top of the above, respectively, and the 1st wiring and the 2nd wiring are electrically combined through the above-mentioned contact hole The side which intersects perpendicularly with the 1st wiring of the above of the above-mentioned contact hole, and the 2nd wiring Are smaller than the value which applied the line breadth of the 1st wiring of the above, and the 2nd wiring the twice of wiring spacing of the 1st wiring of the above, and the 2nd wiring more greatly than the line breadth of the 1st wiring of the above, and the 2nd wiring. The 2nd wiring of the above is formed in the side attachment wall and pars basilaris ossis occipitalis of the above-mentioned contact hole, and it is characterized by combining electrically the 2nd wiring of the above and the 1st wiring of the above of the pars basilaris ossis occipitalis of the above-mentioned contact hole.

[0010] The semiconductor device of this invention indicated to claim 4 The component demarcation membrane formed on the semi-conductor substrate with the minimum interval determined by the design rule, Two or more gate electrodes which are formed through gate dielectric film on the front face of the above-mentioned semi-conductor substrate, and are connected to a word line, The source / drain field formed into the above-mentioned semi-conductor substrate of the both sides of these gates electrode, The insulator layer which covers the above-mentioned source / drain field, and the contact hole of the source / drain field in the above-mentioned insulator layer formed including some above-mentioned gate electrodes and a part of component demarcation membrane upwards on the other hand, It connects with either the source or a drain field, the side attachment wall and base of a contact hole are covered, and it is characterized by providing a bit line with the line breadth smaller than the diameter of contact on the above-mentioned insulator layer, and the capacitor electrically combined with another side of the above-mentioned source / drain field.

[0011] As shown in claim 5, the top face of said source / drain field has the depth of the source / drain field deeper than the level difference which is up and is formed rather than the top face of said component demarcation membrane on the top face of said source / drain field, and the top face of said component demarcation membrane.

[0012] The top face of said source / drain field is more nearly up than the top face of said component demarcation membrane, and its depth of the source / drain field is shallow, and it is making said source / drain field extend on the side attachment wall of the above-mentioned level difference section rather than the level difference section formed on the top face of said source / drain field, and the top face of said component demarcation membrane, as shown in claim 6.

[0013] The manufacture approach of the semiconductor device this invention indicated to claim 7 The process which forms the 1st wiring, and the process which forms the 1st insulator layer which covers the 1st wiring of the above, The process which forms a larger contact hole than the width of face of the 1st wiring in the 1st insulator layer on the 1st wiring of the above, The process which forms the 2nd wiring material in the whole surface, and the process which embeds the inside of a contact hole by the 2nd insulator layer, the path of a contact hole -- smallness -- it is characterized by providing the process which forms the resist of width of face, and the process which uses the above-mentioned resist and the 2nd insulator layer of the above as a mask, carries out patterning of the 2nd wiring material of the above, and forms the 2nd wiring.

[0014] The process in which the manufacture approach of the semiconductor device of claim 8 forms the 1st wiring, and the process which forms the 1st insulator layer which covers the 1st wiring of the above, The process which forms a larger contact hole than the width of face of the 1st wiring in the 1st

insulator layer on the 1st wiring of the above, it is filled up with the process which forms the 2nd wiring material in the whole surface, and a contact hole pars basilaris ossis occipitalis — as — the path of a contact hole — smallness — with the process which forms the resist of width of face The above-mentioned resist is used as a mask, patterning of the 2nd wiring material of the above is carried out, and it is characterized by providing the process which forms the 2nd wiring.

[0015] The process which forms a component demarcation membrane with the minimum interval from which the manufacture approach of the semiconductor device of claim 9 was determined by the design rule on the semi-conductor substrate, The process which forms gate dielectric film on the front face of the above-mentioned semi-conductor substrate, and forms two or more gate electrodes connected to a word line on this gate dielectric film, The process which forms the source / drain field into the above-mentioned semi-conductor substrate, and the process which forms the insulator layer which covers the above-mentioned source / drain field, The process which, on the other hand, forms the contact hole containing some gate electrodes and a part of component demarcation membrane of the above-mentioned source / drain field upwards, The process in which it connects with either the above-mentioned source or drain field, the side attachment wall and pars basilaris ossis occipitalis of a contact hole are covered, and the line breadth on the above-mentioned insulator layer forms a bit line smaller than the above-mentioned contact hole, It is characterized by providing the process which forms the capacitor electrically combined with another side of the above-mentioned source / drain field.

[0016] As shown in claim 10, in case said contact hole is formed, the process which forms the source / drain field which etches said a part of component demarcation membrane into coincidence, and extends on the side attachment wall of the exposed semi-conductor substrate is provided further.

[0017]

[Function] With a configuration like claim 1, since the allowances for preventing the poor contact by mask alignment gap in the contact section in the 1st wiring and the 2nd wiring become unnecessary, high integration can be attained.

[0018] When formed in the direction in which the 1st wiring and wiring of the 2nd intersect perpendicularly according to the configuration of claim 2, in case a contact hole is formed in the insulator layer on the 1st wiring, even if a mask gap arises, if it is within the limits of the allowances of the size of a contact hole, positive contact can be taken between the 1st wiring and the 2nd wiring. Moreover, in case patterning of the 2nd wiring is carried out, even if a mask gap arises, if it is within the limits of the above-mentioned allowances, the 1st wiring and the 2nd wiring can be contacted certainly. And the thing whose mask alignment allowances are need is only a contact hole, and can form the 1st wiring and the 2nd wiring with the minimum width of face and the minimum interval which are determined by the design rule, respectively. Therefore, the semiconductor device which has the contact structure during suitable wiring for high integration can be offered.

[0019] As shown in claim 3, the operation effectiveness as claim 2 also with the same contact section by which the 1st wiring and the 2nd wiring are formed in the parallel direction is acquired. Since according to a configuration like claim 4 the allowances by mask alignment gap become unnecessary at the contact section of the source / drain field, and a bit line in case the bit line contact section in DRAM is formed, it can form with the minimum width of face and the minimum interval which are determined by the design rule, respectively. High integration is desired and especially semiconductor memories, such as DRAM formed to the limitation of a design rule, are suitable.

[0020] Since according to a configuration like claim 5 a part for etching over is expected and the source / drain field is formed more deeply, short-circuit of a bit line and a semi-conductor substrate can be prevented.

[0021] With the configuration of claim 6, since the source / drain field intervenes between a bit line and a semi-conductor substrate, also when over etching of the component demarcation membrane is carried out at the time of formation of a contact hole, short-circuit of a bit line and a semi-conductor substrate can be prevented.

[0022] According to the manufacture approach of claim 7, in case patterning of the 1st wiring and the 2nd wiring is carried out, since patterning can be carried out to the minimum-line-width list which did not need to consider allowances [as opposed to a mask alignment gap in these wiring], and was determined by the design rule in them in a minimum interval, high integration can be attained. Moreover, since the inside of a contact hole is covered with the insulating material, it can prevent that abnormality etching of this 2nd wiring is carried out at the time of patterning of the 2nd wiring.

[0023] By the manufacture approach of claim 8, since the process which covers the inside of a contact hole with an insulating material becomes unnecessary, simplification of a process can be attained rather than the manufacture approach of claim 7. By the manufacture approach of claim 9, in the process which forms the bit line contact section in DRAM, since the allowances by mask alignment gap become unnecessary at the contact section of the source / drain field, and a bit line, it can manufacture with the minimum width of face and the minimum interval which are determined by the design rule, respectively. Therefore, it is suitable for manufacture of semiconductor memories, such as DRAM which high integration is desired and is formed to the limitation of a design rule.

[0024] Since the source or a drain field intervenes between the bit lines and semi-conductor substrates which are formed at the time of formation of a bit line according to the manufacture approach of claim 10, short-circuit can be prevented also when over etching of the component demarcation membrane is carried out at the time of formation of a contact hole.

[0025]

[Example] Hereafter, one example of this invention is explained with reference to a drawing. Drawing 1 thru/or drawing 3 are for explaining the semiconductor device concerning the 1st example of this invention, respectively. The perspective view in which drawing 1's extracting the structure of the contact section of the 1st-layer wiring and the 2nd-layer wiring in semiconductor integrated circuit equipment, and showing only these wiring, The sectional view where drawing 2 met the pattern top view of the above-mentioned contact section, and drawing 3 (a) met the A-A'line of above-mentioned drawing 2 , and drawing 3 (b) are the sectional views which met the B-B'line of above-mentioned drawing 2 . Drawing 1 thru/or drawing 3 show the contact section formed in the direction in which the 1st-layer wiring and the 2nd-layer wiring intersect perpendicularly so that it may illustrate.

[0026] In drawing 1 thru/or drawing 3 , the semi-conductor substrate with which 10 consists of silicon etc., the insulator layer which wiring of the 1st layer and 13 become [11] from BPSG etc. in insulator layers, such as field oxide, 12-1, and 12-2, the insulating restoration member which a contact hole and 15 become from SOG (Spin On Glass) etc. in 14, 16-1, and 16-2 are the 2nd-layer wiring. As shown in drawing 1 thru/or drawing 3 , the 2nd-layer wiring 16-1 is installed on the above-mentioned insulator layer 13 from the pars basilaris ossis occipitalis and the side-attachment-wall section of a contact hole 14, and the 1st-layer wiring 12-1 and the 2nd-layer wiring 16-1 are electrically connected by contacting the 1st above-mentioned wiring 12-1 at the pars basilaris ossis occipitalis of a contact hole 14. In order to prevent the faulty connection by mask gap etc., only Δ is doubled and allowances are prepared in the above-mentioned contact hole 14. That is, when width of face of each above-mentioned wiring 12-1, 12-2, 16-1, and 16-2 is set to D, respectively, each side of a contact hole 14 is " $D+2\Delta$."

[0027] According to such a configuration, the line breadth and spacing of each wiring 12-1, 12-2, 16-1, and 16-2 are the lower limit D determined by the design rule, respectively, and mask alignment allowances Δ becomes unnecessary wiring 12-1 and 16-1. Therefore, a wiring pitch serves as "2D" and serves as contact structure during suitable wiring for high integration. In the configuration shown in drawing 1 thru/or drawing 3 , in addition to the lower limit D, between the adjoining contact holes which mask alignment allowances Δ is required for a contact hole 14, and are not illustrated in it, the above-mentioned mask alignment allowances Δ is needed, but the same of this point is said of the configuration shown in drawing 24 and drawing 25 .

[0028] Next, the formation approach of the contact section mentioned above is explained in detail with

reference to drawing 4 (a), (b), or 7 Figs. (a) and (b). Drawing 4 (a) thru/or drawing 7 (a) show the production process of a cross section which met the A-A'line of above-mentioned drawing 2 one by one, respectively, and drawing 4 (b) thru/or drawing 7 (b) show the production process of a cross section which met the B-B'line of above-mentioned drawing 2 one by one, respectively.

[0029] First, as shown in drawing 4 (a) and drawing 4 (b), an insulator layer 11 is formed on the semiconductor substrate 10. When this insulator layer 11 is field oxide, selective oxidation of the front face of the semiconductor substrate 10 is carried out for example, using the LOCOS method. On the above-mentioned insulator layer 11, deposition formation of the conductive layer which consists of polish recon etc. is carried out, patterning is performed, and the 1st-layer wiring 12-1 and 12-2 are formed. Next, deposition formation of the insulator layer 13 is carried out, and flattening of the front face is carried out to the whole surface by approaches, such as a reflow or CMP.

[0030] Then, as shown in drawing 5 (a) and drawing 5 (b), a contact hole 14 is formed by anisotropic etching techniques, such as RIE, on the above-mentioned wiring 12-1 of the above-mentioned insulator layer 13. In order to prevent the poor contact by mask alignment gap in each side of this contact hole 14, the allowances of $\Delta\alpha$ are expected right and left to the width of face D of each wiring 12-1, 12-2, 16-1, and 16-2. That is, only the width of face W2 of the two sides which only $2\Delta\alpha$ is large and intersect the 2nd-layer wiring 16-1 from the width of face D of this wiring 12-1 of $2\Delta\alpha$ is wider [the width of face W1 of the two sides which intersect the wiring 12-1 of the 1st layer of a contact hole 14] than the width of face D of this wiring 16-1 respectively.

[0031] Then, when deposition formation of the conductive layers, such as a tungsten, is carried out with a CVD method on the whole surface, for example, a contact hole 14 is embedded by the insulating restoration members 15, such as SOG, it comes to be shown in drawing 6 (a) and drawing 6 (b).

[0032] Next, as shown in drawing 7 (a) and drawing 7 (b), a resist 18 is applied on an insulator layer 13, wiring 16-1, and 16-2 and the insulating restoration members 15, exposure, development, etc. are processed, and the mask for patterning is formed. Using this mask, by anisotropic etching techniques, such as RIE, patterning of the above-mentioned conductive layer is carried out, and the 2nd-layer wiring 16-1 and 16-2 are formed. Of this, contact structure as shown in drawing 1 thru/or drawing 3 is formed.

[0033] In case a contact hole 14 is formed in the insulator layer 13 on the 1st-layer wiring 12-1 according to such a manufacture approach, even if a mask gap arises, if it is less than $2\Delta\alpha$, positive contact can be taken between the 2nd-layer wiring 16-1. Moreover, in case patterning of the 2nd-layer wiring 16-1 is carried out, even if a mask gap arises, if it is less than $2\Delta\alpha$, the 1st-layer wiring 12-1 and the 2nd-layer wiring 16-1 can be contacted certainly. And the thing whose mask alignment allowances $\Delta\alpha$ is the need is only a contact hole 14, and can form the 1st-layer wiring 12-1, 12-2 and the 2nd-layer wiring 16-1, and 16-2 with the minimum width of face and the minimum pitch which are determined by the design rule, respectively. Therefore, the manufacture approach of a semiconductor device of having the contact structure during suitable wiring for high integration can be offered.

[0034] In addition, although the 1st example of the above explained taking the case of the case where it is arranged in the 1st-layer wiring 12-1, 12-2 and the 2nd-layer wiring 16-1, and the direction in which 16-2 intersects perpendicularly It is also the same as as shown in drawing 8 thru/or drawing 10 , when the 1st-layer wiring 12-1, 12-2 and the 2nd-layer wiring 16-1, and 16-2 are arranged in the parallel direction, and the same operation effectiveness is acquired.

[0035] The sectional view where the perspective view and drawing 9 which drawing 8 extracts the structure of the contact section of the 1st-layer wiring 12-1 and the 2nd-layer wiring 16-1 in semiconductor integrated circuit equipment, and are shown met the pattern top view of the above-mentioned contact section only in these wiring, and drawing 10 (a) met the A-A'line of above-mentioned drawing 9 , and drawing 10 (b) are the sectional views which met the B-B'line of above-mentioned drawing 9 . In drawing 8 thru/or drawing 10 , the same sign is given to the same configuration section as above-mentioned drawing 1 thru/or drawing 3 , and the detailed explanation is omitted.

[0036] Drawing 11 and drawing 12 (a), and (b) are for explaining the semiconductor device concerning the 2nd example of this invention, respectively, and the sectional view in the middle of the production process which met the A-A'line of the pattern which showed drawing 11 in the pattern top view of the contact section, and showed drawing 12 (a) to above-mentioned drawing 11, and drawing 12 (b) are the sectional views in the middle of the production process which met the B-B'line of drawing 11.

[0037] In the 1st example of the above, the 2nd-layer wiring 16-1 is formed in a contact hole 14 in this 2nd example to having embedded the inside of a contact hole 14 by the insulating restoration member 15, without embedding by the insulating restoration member.

[0038] It is the same as that of the 1st example which the process which forms a conductive layer in the whole surface mentioned above after the process which showed the conductive layer which faces forming such contact structure and serves as the 2nd-layer wiring to (the process formed in the whole surface, i.e., drawing 4, (a), and b), and drawing 5 (a) and (b). Then, a resist 18 is applied without embedding the inside of a contact hole 14 by the insulating restoration member, as shown in drawing 12 (a) and (b), and the mask for processing exposure, development, etc. and carrying out patterning formation of the 2nd-layer wiring 16-1 and 16-2 is formed. Next, the above-mentioned resist 18 is used as a mask, anisotropic etching, such as RIE, is performed, patterning of the conductive layer is carried out, and the 2nd-layer wiring 16-1 and 16-2 are formed.

[0039] By such manufacture approach, since spacing of a resist 18 and a contact hole 14 is smaller than the lower limit enough as shown in drawing 12 (b), in a lithography process, it is below the resolution limit, and an unexposed part remains. This unexposed part carries out the role which prevents etching the field of the pars basilaris ossis occipitalis of the contact hole 14 in the 2nd-layer wiring 16-2. Therefore, since the mask of the inside of a contact hole can be carried out in a resist 18 at the time of the 2nd-layer wiring 16-1 and formation of 16-2 even if it does not embed a contact hole 14 by the insulating restoration member, patterning same with having embedded by the insulating restoration member 15 can be performed.

[0040] Therefore, even if it is the manufacture approach, the same operation effectiveness as the 1st example is acquired by the configuration list shown in drawing 11 mentioned above and drawing 12 (a), and (b). In addition, of course, can apply to the contact section by which the 1st-layer wiring 12-1, 12-2 and the 2nd-layer wiring 16-1, and 16-2 are formed in a configuration list like the 2nd example of the above along the parallel direction like [even if it is the manufacture approach] the case where it is shown in the 1st drawing 8 thru/or drawing 10 in an example.

[0041] Next, the example which applies this invention to the bit-line contact section of DRAM is explained. Drawing 13 shows cel arrangement of DRAM typically. In drawing 13, in 21, a capacitor and 22 show a word line and 23 shows the bit line contact section. The field 24 enclosed with a broken line is one cel unit.

[0042] As the cellular structure of this kind of DRAM, it is 1993. IEDM Technical The 256M bit BEST (BuriEd STrap) cel is indicated by Digest and pp 627-630.

[0043] This BEST cel is briefly explained using drawing 14. It is the cross-section block diagram with which drawing 14 (a) met the pattern top view of one cel unit, and drawing 14 (b) met the A-A'line of drawing 14 (a). In drawing 14 a semi-conductor substrate and 31 30 An embedding N well field, 32 a trench and 34 for P well field and 33. The cascade screen of an oxide film and a nitride (ON film), 35 is 1st N+. For a mold polish recon layer and 36, an oxide-film color and 37 are 2nd N+. Mold polish recon layer, 38 is 3rd N+. A mold polish recon layer and 39 Embedding strap, 40 STI (Shallow Trench Isolation), For the gate electrode (polish recon layer) with which 41 becomes a word line, the insulator layer which 42 becomes from BPSG etc., and 43, the bit line contact section and 44 are 4th N+. It is the spacer with which a bit line and 46 consist in a mold polish recon layer and 45, and the SiN film and 48 consist of SiN film in an active field and 47.

[0044] The BEST cel of the above-mentioned configuration is formed by the following production processes. First, it embeds into the semi-conductor substrate 30, N well field 31 and P well field 32 are

formed, and a trench 33 is formed in this substrate 30. Next, the ON film 34 is formed in the wall of a trench 33, and it is 1st N+. It fills up with the mold polish recon layer 35. By this, it is the above-mentioned ON film 34 A capacitor insulator layer and N+ The capacitor which embeds with the mold polish recon layer 35, and uses N well field 31 as an electrode, respectively is formed. Next, etchback of the above-mentioned polish recon layer 35 is carried out from the interface of P well field 32 and N well field 31 to a lower part, and it is N+. The oxide-film color 36 is formed on the mold polish recon layer 35. Next, it is a trench 33 2nd N+ It embeds in the mold polish recon layer 37, and etchback is carried out from the front face of P well field 32 to a lower part. Then, N+ The upper oxide film color 36 of the mold polish recon layer 37 is etched and removed, and it is 3rd N+. While forming the mold polish recon layer 38, the embedding strap 39 is formed. STI40 is formed and the gate electrode (polish recon) 41 which serves as a word line through the gate dielectric film which is not illustrated on a substrate is formed. After forming the insulator layers 42, such as BPSG film, in the whole surface and carrying out flattening of the front face by approaches, such as a reflow or CMP, the bit line contact section (contact hole) 43 is formed in self align to the gate electrode 41, and it is 4th N+. It embeds in the mold polish recon layer 44. And a bit line 45 is formed by forming and carrying out patterning of the conductive layer on the above-mentioned insulator layer 42. The above-mentioned bit line 45 is N which works as the source / a drain field through the above-mentioned polish recon layer 44. - It connects with the mold diffusion layer 49 electrically.

[0045] Next, it explains in detail, referring to drawing 15 (a), (b), or drawing 18 (a) and (b) about the case where this invention is applied to the bit line contact section in DRAM shown in above-mentioned drawing 14 . The bit line contact section shown in drawing 15 thru/or drawing 18 is shared in two adjoining cels, and extracts and shows two selection MOS transistors connected to this bit line contact section. drawing 15 — (— a —) — or — drawing 18 — (— a —) — respectively — drawing 13 — having been shown — a pattern — A-A — ' — a line — having met — a cross section — corresponding — a bit line — contact — the section — a production process — order — being shown — **** . Moreover, drawing 15 (b) thru/or drawing 18 (b) show the bit line contact section corresponding to the cross section which met the B-B'line of this drawing 13 , respectively in order of the production process.

[0046] The process which forms STI40 is the same as that of the conventional production process explained using drawing 14 (drawing 15 (a), (b)). N+ after forming the gate dielectric film which is not illustrated on P well field 32 Sequential deposition formation is carried out, patterning of a mold polish recon layer and the SiN film is carried out, and the gate electrode 41 is formed. The SiN film 47 remains on the above-mentioned gate electrode 41. N which uses as a mask the gate electrode 41 and the SiN film 47 which carried out patterning, carries out the ion implantation of the impurity to P well field 32, and works as the source / a drain field - The mold diffusion layer 49 is formed. Then, the spacer 48 which becomes the side-attachment-wall section of the gate electrode 41 and the SiN film 47 from the SiN film is formed. Succeedingly, deposition formation of the BPSG film 42 is carried out, and flattening of the front face is carried out to the whole surface (refer to drawing 16 (a) and (b)). Using the mask for bit line contact, selective etching of the above-mentioned BPSG film 42 and the SiN film 47 is performed by the RIE method, and the bit line contact section (contact hole) 50 is formed. Next, the cascade screen 45 of a tungsten or a tungsten / titanium night RAIDO / titanium is formed in the whole surface, for example (drawing 17 (a), (b)).

[0047] Like the 1st example mentioned above, the inside of the bit line contact section 50 is embedded by SOG51, a resist 52 is used as a mask, patterning of the above-mentioned cascade screen is carried out by the RIE method, and a bit line 45 is formed henceforth (drawing 18 (a), (b)).

[0048] In addition, although the inside of the bit line contact section 50 was embedded by SOG51 in the above-mentioned example, as the bit line contact section 50 is not embedded like the 2nd example mentioned above but it is shown in drawing 19 (a) and (b), a mask may be carried out by the resist 52 and patterning of the bit line 45 may be carried out.

[0049] Drawing 20 shows the case where etching of the bit line contact section 50 exceeds, in the etching process of the insulator layer 42 after the process shown in above-mentioned drawing 16 (b). If a bit line 45 is formed where over etching is carried out, it will short-circuit with P well field 32 where the bit line 45 was exposed. So, at the 5th example shown in drawing 21 in order to prevent such short-circuit, it is N. - A part for etching over is expected and the mold diffusion layer (the source / drain field) 49 is formed deeply beforehand.

[0050] Drawing 22 and drawing 23 show other examples for preventing short-circuit of the above-mentioned bit line 45 and P well field 32, respectively. It is N by performing two ion implantations aslant in the contact section 50 in this 6th example, as are shown in drawing 22, and a continuous line and a slash show after formation of the bit line contact section 50. - The mold diffusion layer 49 is formed not only in the top face of the lobe of P well field 32 but in the side-attachment-wall section. As this shows to drawing 23, it is N between a bit line 45 and the outcrop of P well field 32. - Since the mold diffusion layer 53 intervenes, short-circuit can be prevented.

[0051] As mentioned above, since wiring width of face and wiring spacing are made as for the 1st-layer wiring 12-1, 12-2, the 2nd-layer wiring 16-1, and 16-2 to the lower limit D determined by the design rule by that formation approach at the contact structure list during wiring of this invention as shown in drawing 2, the wiring pitch used as the index of a degree of integration serves as 2D, and is suitable for high integration. Since the touch area of contact resistance, i.e., the 1st-layer wiring, and the 2nd-layer wiring doubles mask alignment allowances deltaalpha of the pattern for contact hole 14 formation, and it is not based on a gap but becomes fixed, it prepares, and there is no effect on a wiring pitch. Since a production process can be simplified compared with the 1st example in the 2nd example, the effectiveness that the semiconductor device of low cost can be formed is also acquired. Moreover, as the 3rd example explained, when it applies to DRAM, since it is the latest device, the effectiveness of high integration and low-cost-izing is more large. Furthermore, in the 5th example, the effectiveness of preventing the short-circuit between a bit line and P well field is acquired, and it is N at the 6th example. - The exceptional effectiveness of preventing the short-circuit between a bit line and P well field, without making the diffusion depth Xj of a diffusion layer deep is acquired. In addition, is not limited to each example mentioned above and, of course, can carry out by transforming this invention variously in the range which does not deviate from a summary.

[0052]

[Effect of the Invention] As explained above, according to this invention, the semiconductor device which has the contact structure during suitable wiring for high integration, and its manufacture approach are acquired.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The perspective view in which being for explaining the semiconductor device concerning the 1st example of this invention, extracting only these wiring and showing the contact structure of the 1st-layer wiring and the 2nd-layer wiring in semiconductor integrated circuit equipment.

[Drawing 2] It is for explaining the semiconductor device concerning the 1st example of this invention, and is the pattern top view of the contact section.

[Drawing 3] It is the sectional view where it is for explaining the semiconductor device concerning the 1st example of this invention, and the sectional view where (a) met the A-A'line of above-mentioned drawing 2 , and (b) met the B-B'line of above-mentioned drawing 2 .

[Drawing 4] It is the sectional view where it is for explaining the 1st production process of the contact section shown in above-mentioned drawing 1 thru/or drawing 3 , and the sectional view where (a) met the A-A'line of drawing 2 , and (b) met the B-B'line of drawing 2 .

[Drawing 5] It is the sectional view where it is for explaining the 2nd production process of the contact section shown in above-mentioned drawing 1 thru/or drawing 3 , and the sectional view where (a) met the A-A'line of drawing 2 , and (b) met the B-B'line of drawing 2 .

[Drawing 6] It is the sectional view where it is for explaining the 3rd production process of the contact section shown in above-mentioned drawing 1 thru/or drawing 3 , and the sectional view where (a) met the A-A'line of drawing 2 , and (b) met the B-B'line of drawing 2 .

[Drawing 7] It is the sectional view where it is for explaining the 4th production process of the contact section shown in above-mentioned drawing 1 thru/or drawing 3 , and the sectional view where (a) met the A-A'line of drawing 2 , and (b) met the B-B'line of drawing 2 .

[Drawing 8] The perspective view in which being for explaining the modification of the 1st example shown in above-mentioned drawing 1 , extracting only these wiring and showing the contact structure of the 1st-layer wiring and the 2nd-layer wiring in semiconductor integrated circuit equipment.

[Drawing 9] The pattern top view in which being for explaining the modification of the 1st example shown in above-mentioned drawing 1 , and showing the contact structure of the 1st-layer wiring and the 2nd-layer wiring in semiconductor integrated circuit equipment.

[Drawing 10] It is the sectional view where it is for explaining the modification of the 1st example shown in above-mentioned drawing 1 , and the sectional view where (a) met the A-A'line of above-mentioned drawing 9 , and (b) met the B-B'line of above-mentioned drawing 9 .

[Drawing 11] It is for explaining the semiconductor device concerning the 2nd example of this invention, and is the pattern top view of the contact section.

[Drawing 12] It is a sectional view in the middle of the production process to which it is for explaining the semiconductor device concerning the 2nd example of this invention, and the sectional view in the middle of the production process which met the A-A'line of the pattern which showed (a) to above-mentioned drawing 11 , and (b) met the B-B'line of drawing 11 .

[Drawing 13] Drawing in which being for explaining the semiconductor device concerning the 3rd example of this invention, and showing roughly the cel arrangement in the case of applying to bit line contact of DRAM.

[Drawing 14] It is the cross-section block diagram with which it was for explaining a BEST cel as an example of the cel shown in above-mentioned drawing 13 , and (a) met the pattern top view of one cel unit, and (b) met the A-A'line of (a).

[Drawing 15] It is the sectional view in which being for explaining the case where this invention is applied to the bit line contact section in DRAM shown in drawing 12 and drawing 13 , and showing the 1st production process of the bit line contact section corresponding to the sectional view showing the 1st production process of the bit line contact section corresponding to the cross section where (a) met the A-A'line of drawing 13 , and the cross section where (b) met the B-B'line of drawing 13 .

[Drawing 16] It is the sectional view in which being for explaining the case where this invention is applied to the bit line contact section in DRAM shown in drawing 12 and drawing 13 , and showing the 2nd

production process of the bit line contact section corresponding to the sectional view showing the 2nd production process of the bit line contact section corresponding to the cross section where (a) met the A-A'line of drawing 13 , and the cross section where (b) met the B-B'line of drawing 13 .

[Drawing 17] It is the sectional view in which being for explaining the case where this invention is applied to the bit line contact section in DRAM shown in drawing 12 and drawing 13 , and showing the 3rd production process of the bit line contact section corresponding to the sectional view showing the 3rd production process of the bit line contact section corresponding to the cross section where (a) met the A-A'line of drawing 13 , and the cross section where (b) met the A-A'line of drawing 13 .

[Drawing 18] It is the sectional view in which being for explaining the case where this invention is applied to the bit line contact section in DRAM shown in drawing 12 and drawing 13 , and showing the 4th production process of the bit line contact section corresponding to the sectional view showing the 4th production process of the bit line contact section corresponding to the cross section where (a) met the A-A'line of drawing 13 , and the cross section where (b) met the A-A'line of drawing 13 .

[Drawing 19] It is the sectional view in which being for explaining other examples in the case of applying this invention to the bit line contact section in DRAM, and showing some production processes of the bit line contact section corresponding to the sectional view showing some production processes of the bit line contact section corresponding to the cross section where (a) met the A-A'line of drawing 13 , and the cross section where (b) met the B-B'line of drawing 13 .

[Drawing 20] the process shown in above-mentioned drawing 17 (b) — the sectional view showing the case where were and etching of the bit line contact section exceeds.

[Drawing 21] The sectional view showing the example of a configuration for preventing short-circuit with the bit line and P well field for explaining the semiconductor device concerning the 5th example of this invention which it is and were shown in drawing 20 .

[Drawing 22] The sectional view in which being for explaining the semiconductor device concerning the 6th example of this invention, and showing a part of production process for preventing short-circuit with a bit line and P well field.

[Drawing 23] The sectional view showing the next process of the production process shown in ****22 which is for explaining the semiconductor device concerning the 6th example of this invention, and prevents short-circuit with a bit line and P well field.

[Drawing 24] The pattern top view in which being for explaining the contact structure and its formation approach during the conventional wiring, and extracting and showing the contact section of semiconductor integrated circuit equipment.

[Drawing 25] The cross-section block diagram which is for explaining the contact structure and its formation approach during the conventional wiring, and met the A-A'line of drawing 24 .

[Description of Notations]

10 — A semi-conductor substrate, 11 — An insulator layer, 12-1, 12-2 — The 1st-layer wiring, 13 [— The 2nd-layer wiring,] — An insulator layer, 14 — A contact hole, 15 — An insulating restoration member, 16-1, 16-2 18 — A resist, 30 — A semi-conductor substrate, 31 — Embedding N well field, 32 — P well field, 33 — A trench, 34 — The cascade screen of an oxide film and a nitride (ON film), 35 — 1st N+ A mold polish recon layer, 37 — 2nd N+ Mold polish recon layer, 38 — 3rd N+ A mold polish recon layer, 39 — Embedding strap, 40 [— Bit line,] — STI, 41 — A gate-electrode, 42 — An insulator layer (BPSG film), 45 46 [— N — / A mold diffusion layer (the source / drain field), 50 / — Resist. / — The bit line contact section 51 — SOG (insulating restoration member), 52] — An active field, 47 — The SiN film, 48 — A spacer, 49

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245343

(43) 公開日 平成7年(1995)9月19日

(51) IntCl.⁴

H 0 1 L 21/768
21/28
21/3205

識別記号

庁内整理番号

F I

技術表示箇所

L 8932-4M

H 0 1 L 21/ 90

B

21/ 88

A

審査請求 未請求 請求項の数10 O L (全 15 頁) 最終頁に続く

(21) 出願番号

特願平6-33683

(22) 出願日

平成6年(1994)3月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 幸山 裕亮

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

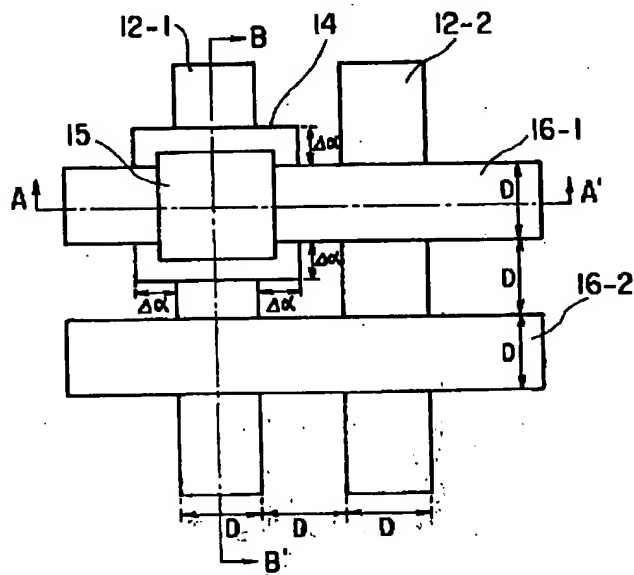
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【目的】 高集積化に好適な配線間のコンタクト構造を有する半導体装置及びその製造方法を提供する。

【構成】 第1配線12-1上に絶縁膜を介して第2配線16-1が形成される。第1配線上の絶縁膜に形成されたコンタクトホール14を介して第1配線と第2配線が電氣的に結合される。コンタクトホールは、第1配線及び第2配線の幅よりも大きく、第2配線を、コンタクトホールの側壁及び底部に形成し、コンタクトホールの底部で第1配線と電氣的に結合することを特徴とする。第1配線と第2配線のコンタクト部にマスク合わせ余裕が不要となるので高集積化が可能となる。



(2)

1

【特許請求の範囲】

【請求項1】 第1配線と、この第1配線上に形成される絶縁膜と、この絶縁膜の上記第1配線上に形成されるコンタクトホールと、上記絶縁膜上に形成され、上記コンタクトホールを介して上記第1配線に電氣的に結合される第2配線とを有する半導体装置において、上記コンタクトホールは上記第1配線及び上記第2配線の幅よりも大きく、上記第2配線を上記コンタクトホールの側壁及び底部に形成し、上記コンタクトホールの底部で上記第2配線と上記第1配線とを電氣的に結合したことを特徴とする半導体装置。

【請求項2】 デザインルールで決定された最小線幅及び最小間隔で第1の方向に沿って平行に形成された複数の第1配線と、これら第1配線上に形成される絶縁膜と、上記第1配線上の上記絶縁膜に形成されるコンタクトホールと、上記絶縁膜上にデザインルールで決定された最小線幅及び最小間隔で、上記第1の方向と直交する第2の方向に沿って平行に形成される複数の第2配線とを有し、第1配線と第2配線とが上記コンタクトホールを介して電氣的に結合される半導体装置において、上記コンタクトホールの第1の方向と平行な辺は上記第2配線の線幅よりも大きく且つ上記第2配線の配線間隔の2倍に上記第2配線の線幅を加えた値より小さく、上記コンタクトホールの第2の方向と平行な辺は上記第1配線の線幅よりも大きく且つ上記第1配線の配線間隔の2倍に上記第1配線の線幅を加えた値より小さく、上記第2配線を上記コンタクトホールの側壁及び底部に形成し、上記コンタクトホールの底部の上記第2配線と上記第1配線とを電氣的に結合したことを特徴とする半導体装置。

【請求項3】 デザインルールで決定された最小線幅及び最小間隔で平行に形成された複数の第1配線と、これら第1配線上に形成される絶縁膜と、上記第1配線上の上記絶縁膜に形成されるコンタクトホールと、上記絶縁膜上にデザインルールで決定された最小線幅及び最小間隔で、上記第1配線上に沿ってそれぞれ平行に形成される複数の第2配線とを有し、第1配線と第2配線とが上記コンタクトホールを介して電氣的に結合される半導体装置において、上記コンタクトホールの上記第1配線及び第2配線と直交する辺は、上記第1配線及び第2配線の線幅よりも大きく且つ上記第1配線及び第2配線の配線間隔の2倍に上記第1配線及び第2配線の線幅を加えた値より小さく、上記第2配線を上記コンタクトホールの側壁及び底部に形成し、上記コンタクトホールの底部の上記第2配線と上記第1配線とを電氣的に結合したことを特徴とする半導体装置。

【請求項4】 半導体基板上にデザインルールで決定された最小間隔で形成された素子分離膜と、上記半導体基板の表面上にゲート絶縁膜を介して形成され、ワード線に接続される複数のゲート電極と、これらゲート電極の

2

両側の上記半導体基板中に形成されるソース／ドレイン領域と、上記ソース／ドレイン領域を被覆する絶縁膜と、上記絶縁膜におけるソース／ドレイン領域の一方上に上記ゲート電極の一部及び素子分離膜の一部を含んで形成されたコンタクトホールと、ソース／ドレイン領域の一方に接続し、コンタクトホールの側壁及び底面を覆い、上記絶縁膜上の線幅がコンタクト径より小さいビット線と、上記ソース／ドレイン領域の他方と電氣的に結合されたキャパシタとを具備することを特徴とする半導体装置。

【請求項5】 前記ソース／ドレイン領域の上面は、前記素子分離膜の上面よりも上方にあり、前記ソース／ドレイン領域の上面と前記素子分離膜の上面とで形成される段差よりもソース／ドレイン領域の深さが深いことを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記ソース／ドレイン領域の上面は、前記素子分離膜の上面よりも上方にあり、前記ソース／ドレイン領域の上面と前記素子分離膜の上面とで形成される段差部よりもソース／ドレイン領域の深さが浅く、上記段差部の側壁に前記ソース／ドレイン領域を延在せしめたことを特徴とする請求項4に記載の半導体装置。

【請求項7】 第1配線を形成する工程と、上記第1配線を被覆する第1絶縁膜を形成する工程と、上記第1配線上の第1絶縁膜に第1配線の幅よりも大きいコンタクトホールを形成する工程と、全面に第2配線材料を形成する工程と、コンタクトホール内を第2絶縁膜で埋め込む工程と、コンタクトホールの径より小なる幅のレジストを形成する工程と、上記レジスト及び上記第2絶縁膜をマスクにして上記第2配線材料をパターンニングし、第2配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項8】 第1配線を形成する工程と、上記第1配線を被覆する第1絶縁膜を形成する工程と、上記第1配線上の第1絶縁膜に第1配線の幅よりも大きいコンタクトホールを形成する工程と、全面に第2配線材料を形成する工程と、コンタクトホール底部を充填するようにコンタクトホールの径より小なる幅のレジストを形成する工程と、上記レジストをマスクにして上記第2配線材料をパターンニングし、第2配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上にデザインルールで決定された最小間隔で素子分離膜を形成する工程と、上記半導体基板の表面上にゲート絶縁膜を形成し、このゲート絶縁膜上にワード線に接続される複数のゲート電極を形成する工程と、上記半導体基板中にソース／ドレイン領域を形成する工程と、上記ソース／ドレイン領域を被覆する絶縁膜を形成する工程と、上記ソース／ドレイン領域の一方上にゲート電極の一部及び素子分離膜の一部を含むコンタクトホールを形成する工程と、上記ソース／ドレイン領域の一方に接続され、コンタクトホールの側壁

(3)

3

及び底部を覆い、上記絶縁膜上の線幅が上記コンタクトホールよりも小さいビット線を形成する工程と、上記ソース／ドレイン領域の他方と電気的に結合されたキャパシタを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項10】 前記コンタクトホールを形成する際に、前記素子分離膜の一部を同時にエッチングし、露出した半導体基板の側壁に延在するソース／ドレイン領域を形成する工程を更に具備することを特徴とする請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体装置及びその製造方法に関するもので、更に詳しくは、高集積化された半導体集積回路装置における配線間のコンタクト構造とその形成方法に関する。

【0002】

【従来の技術】半導体集積回路装置における従来の配線間のコンタクト構造とその形成方法について図24及び図25を用いて説明する。図24は半導体集積回路装置のコンタクト部を抽出して示すパターン平面図、図25は図24のA-A'線に沿った断面構成図である。

【0003】図24及び図25において、100はシリコン等からなる半導体基板、101はフィールド酸化膜等の絶縁膜、102-1、102-2は1層目の配線、103はBPSG等からなる絶縁膜、104はタングステン等からなる導電性充填部材105で埋め込まれたコンタクトホール、106-1、106-2は第2層目の配線である。上記第1層目の配線102-1と第2層目の配線106-1は、上記導電性充填部材105によって電気的に接続されている。上記第1層目の配線102-1及び第2層目の配線106-1におけるコンタクト部の周辺の領域はそれぞれ、コンタクトホール104形成時のマスク合わせずれ等による接続不良を防止するために幅が広く形成されている。

【0004】上記コンタクト部の構造は、例えば次のような製造工程で形成されている。まず、半導体基板100上に絶縁膜101を形成する。この絶縁膜101がフィールド酸化膜の場合には、例えばLOCOS法により半導体基板100の表面を選択酸化することにより形成する。次いで、上記絶縁膜101上にポリシリコン層等を堆積形成し、パターニングを行って第1層目の配線102-1、102-2を形成する。次に、全面に絶縁膜103を堆積形成し、リフローあるいはCMP (Chemical Mechanical Polishing) 等の方法で表面を平坦化した後、この絶縁膜103の上記配線102-1上にコンタクトホール104を形成する。その後、減圧CVD法を用いて上記コンタクトホール104内の配線102-1上にタングステン等を選択成長、あるいは絶縁膜103上の全面に導電層を形

4

成した後、エッチバックしてコンタクトホール104内に残存させることにより、コンタクトホール104を導電性充填部材105で埋め込む。そして、タングステンやアルミニウム等をCVD法やスパッタ法等を用いて上記絶縁膜103上の全面に形成し、パターニングを行って第2層目の配線106-1、106-2を形成する。

【0005】しかしながら、上記のようなコンタクト構造並びに形成方法では、第1層目の配線と第2層目の配線にそれぞれコンタクト部においてマスク合わせずれを考慮した合わせ余裕 $\Delta\alpha$ が必要となる。このため、デザインルールによって決定されている最小寸法をDとすると、配線幅がD、配線間隔が $D+\Delta\alpha$ となり、集積度の指標となる配線ピッチは $2D+\Delta\alpha$ となる。このような、コンタクト部におけるマスク合わせ余裕 $\Delta\alpha$ は高集積化の妨げとなる。

【0006】

【発明が解決しようとする課題】上記のように従来の半導体装置及びその製造方法では、コンタクト部におけるマスク合わせ余裕が高集積化の妨げとなるという問題があった。この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、高集積化に好適な配線間のコンタクト構造を有する半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】請求項1に記載したこの発明の半導体装置は、第1配線と、この第1配線上に形成される絶縁膜と、この絶縁膜の上記第1配線上に形成されるコンタクトホールと、上記絶縁膜上に形成され、上記コンタクトホールを介して上記第1配線に電気的に結合される第2配線とを有する半導体装置において、上記コンタクトホールは上記第1配線及び上記第2配線の幅よりも大きく、上記第2配線を上記コンタクトホールの側壁及び底部に形成し、上記コンタクトホールの底部で上記第2配線と上記第1配線とを電気的に結合したことを特徴とする。

【0008】請求項2のこの発明の半導体装置は、デザインルールで決定された最小線幅及び最小間隔で第1の方向に沿って平行に形成された複数の第1配線と、これら第1配線上に形成される絶縁膜と、上記第1配線上の上記絶縁膜に形成されるコンタクトホールと、上記絶縁膜上にデザインルールで決定された最小線幅及び最小間隔で、上記第1の方向と直交する第2の方向に沿って平行に形成される複数の第2配線とを有し、第1配線と第2配線とが上記コンタクトホールを介して電気的に結合される半導体装置において、上記コンタクトホールの第1の方向と平行な辺は上記第2配線の線幅よりも大きく且つ上記第2配線の配線間隔の2倍に上記第2配線の線幅を加えた値より小さく、上記コンタクトホールの第2の方向と平行な辺は上記第1配線の線幅よりも大きく且つ上記第1配線の配線間隔の2倍に上記第1配線の線幅

(4)

5

を加えた値より小さく、上記第2配線を上記コンタクトホール側の側壁及び底部に形成し、上記コンタクトホールの底部の上記第2配線と上記第1配線とを電気的に結合したことを特徴とする。

【0009】請求項3のこの発明の半導体装置は、デザインルールで決定された最小線幅及び最小間隔で平行に形成された複数の第1配線と、これら第1配線上に形成される絶縁膜と、上記第1配線上の上記絶縁膜に形成されるコンタクトホールと、上記絶縁膜上にデザインルールで決定された最小線幅及び最小間隔で、上記第1配線上に沿ってそれぞれ平行に形成される複数の第2配線とを有し、第1配線と第2配線とが上記コンタクトホールを介して電気的に結合される半導体装置において、上記コンタクトホールの上記第1配線及び第2配線と直交する辺は、上記第1配線及び第2配線の線幅よりも大きく且つ上記第1配線及び第2配線の配線間隔の2倍に上記第1配線及び第2配線の線幅を加えた値より小さく、上記第2配線を上記コンタクトホール側の側壁及び底部に形成し、上記コンタクトホールの底部の上記第2配線と上記第1配線とを電気的に結合したことを特徴とする。

【0010】請求項4に記載したこの発明の半導体装置は、半導体基板上にデザインルールで決定された最小間隔で形成された素子分離膜と、上記半導体基板の表面上にゲート絶縁膜を介して形成され、ワード線に接続される複数のゲート電極と、これらゲート電極の両側の上記半導体基板中に形成されるソース／ドレイン領域と、上記ソース／ドレイン領域を被覆する絶縁膜と、上記絶縁膜におけるソース／ドレイン領域の一方上に上記ゲート電極の一部及び素子分離膜の一部を含んで形成されたコンタクトホールと、ソース／ドレイン領域の一方に接続し、コンタクトホール側の側壁及び底面を覆い、上記絶縁膜上の線幅がコンタクト径より小さいビット線と、上記ソース／ドレイン領域の他方と電気的に結合されたキャパシタとを具備することを特徴とする。

【0011】請求項5に示すように、前記ソース／ドレイン領域の上面は、前記素子分離膜の上面よりも上方にあり、前記ソース／ドレイン領域の上面と前記素子分離膜の上面とで形成される段差よりもソース／ドレイン領域の深さが深い。

【0012】請求項6に示すように、前記ソース／ドレイン領域の上面は、前記素子分離膜の上面よりも上方にあり、前記ソース／ドレイン領域の上面と前記素子分離膜の上面とで形成される段差部よりもソース／ドレイン領域の深さが浅く、上記段差部の側壁に前記ソース／ドレイン領域を延在せしめている。

【0013】請求項7に記載したこの発明の半導体装置の製造方法は、第1配線を形成する工程と、上記第1配線を被覆する第1絶縁膜を形成する工程と、上記第1配線上の第1絶縁膜に第1配線の幅よりも大きいコンタクトホールを形成する工程と、全面に第2配線材料を形成

6

する工程と、コンタクトホール内を第2絶縁膜で埋め込む工程と、コンタクトホールの径より小なる幅のレジストを形成する工程と、上記レジスト及び上記第2絶縁膜をマスクにして上記第2配線材料をパターンニングし、第2配線を形成する工程とを具備することを特徴とする。

【0014】請求項8の半導体装置の製造方法は、第1配線を形成する工程と、上記第1配線を被覆する第1絶縁膜を形成する工程と、上記第1配線上の第1絶縁膜に第1配線の幅よりも大きいコンタクトホールを形成する工程と、全面に第2配線材料を形成する工程と、コンタクトホール底部を充填するようにコンタクトホールの径より小なる幅のレジストを形成する工程と、上記レジストをマスクにして上記第2配線材料をパターンニングし、第2配線を形成する工程とを具備することを特徴とする。

【0015】請求項9の半導体装置の製造方法は、半導体基板上にデザインルールで決定された最小間隔で素子分離膜を形成する工程と、上記半導体基板の表面上にゲート絶縁膜を形成し、このゲート絶縁膜上にワード線に接続される複数のゲート電極を形成する工程と、上記半導体基板中にソース／ドレイン領域を形成する工程と、上記ソース／ドレイン領域を被覆する絶縁膜を形成する工程と、上記ソース／ドレイン領域の一方上にゲート電極の一部及び素子分離膜の一部を含むコンタクトホールを形成する工程と、上記ソース／ドレイン領域の一方に接続され、コンタクトホール側の側壁及び底部を覆い、上記絶縁膜上の線幅が上記コンタクトホールよりも小さいビット線を形成する工程と、上記ソース／ドレイン領域の他方と電気的に結合されたキャパシタを形成する工程とを具備することを特徴とする。

【0016】請求項10に示すように、前記コンタクトホールを形成する際に、前記素子分離膜の一部を同時にエッチングし、露出した半導体基板の側壁に延在するソース／ドレイン領域を形成する工程を更に具備する。

【0017】

【作用】請求項1のような構成では、第1配線及び第2配線におけるコンタクト部にマスク合わせずれによるコンタクト不良を防止するための余裕が不要となるので、高集積化が図れる。

【0018】請求項2の構成によれば、第1の配線と第2の配線が直交する方向に形成されている場合に、第1配線上の絶縁膜にコンタクトホールを形成する際、マスクずれが生じても、コンタクトホールのサイズの余裕の範囲内であれば第1配線と第2配線との間で確実なコンタクトが取れる。また、第2配線をパターンニングする際にマスクずれが生じても、上記余裕の範囲内であれば第1配線と第2配線を確実にコンタクトできる。しかも、マスク合わせ余裕が必要なのはコンタクトホールのみであり、第1配線と第2配線をそれぞれデザインルールで決定される最小幅及び最小間隔で形成できる。従って、

(5)

7

高集積化に好適な配線間のコンタクト構造を有する半導体装置が提供できる。

【0019】請求項3に示すように、第1配線と第2配線が平行な方向に形成されているコンタクト部でも請求項2と同様な作用効果が得られる。請求項4のような構成によれば、DRAMにおけるビット線コンタクト部を形成する際、ソース/ドレイン領域とビット線とのコンタクト部にマスク合わせずれによる余裕が不要となるので、それぞれデザインルールで決定される最小幅及び最小間隔で形成できる。高集積化が望まれ、デザインルールの限界で形成されるDRAM等の半導体記憶装置は特に適している。

【0020】請求項5のような構成によれば、エッチングオーバー分を見込んでより深くソース/ドレイン領域を形成するので、ビット線と半導体基板のショートを防止できる。

【0021】請求項6の構成では、ビット線と半導体基板との間にソース/ドレイン領域が介在されるので、コンタクトホール形成時に素子分離膜がオーバーエッチングされた場合にもビット線と半導体基板のショートを防止できる。

【0022】請求項7の製造方法によれば、第1配線と第2配線をパターンニングする際、これらの配線にはマスク合わせずれに対する余裕を配慮する必要がなく、デザインルールによって決定された最小線幅並びに最小間隔でパターンニングできるので高集積化が図れる。また、コンタクトホール内を絶縁物で被覆しているため、第2配線のパターンニング時にこの第2配線が異常エッチングされるのを防止できる。

【0023】請求項8の製造方法では、コンタクトホール内を絶縁物で被覆する工程が不要となるので請求項7の製造方法よりも工程の単純化が図れる。請求項9の製造方法では、DRAMにおけるビット線コンタクト部を形成する工程において、ソース/ドレイン領域とビット線とのコンタクト部にマスク合わせずれによる余裕が不要となるので、それぞれデザインルールで決定される最小幅及び最小間隔で製造できる。よって、高集積化が望まれ、デザインルールの限界で形成されるDRAM等の半導体記憶装置の製造に好適である。

【0024】請求項10の製造方法によれば、ビット線の形成時に、形成されるビット線と半導体基板との間にソースまたはドレイン領域が介在されるので、コンタクトホール形成時に素子分離膜がオーバーエッチングされた場合にもショートを防止できる。

【0025】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図1乃至図3はそれぞれ、この発明の第1の実施例に係る半導体装置について説明するためのもので、図1は半導体集積回路装置における第1層目の配線と第2層目の配線とのコンタクト部の構造をこれら

8

の配線のみを抽出して示す斜視図、図2は上記コンタクト部のパターン平面図、図3(a)は上記図2のA-A'線に沿った断面図、図3(b)は上記図2のB-B'線に沿った断面図である。図示する如く、図1乃至図3では第1層目の配線と第2層目の配線とが直交する方向に形成されるコンタクト部を示している。

【0026】図1乃至図3において、10はシリコン等からなる半導体基板、11はフィールド酸化膜等の絶縁膜、12-1、12-2は1層目の配線、13はBPSG等からなる絶縁膜、14はコンタクトホール、15はSOG(Spin On Glass)等からなる絶縁性充填部材、16-1、16-2は第2層目の配線である。図1乃至図3に示すように、第2層目の配線16-1は、コンタクトホール14の底部及び側壁部から上記絶縁膜13上に延設されており、コンタクトホール14の底部で上記第1の配線12-1と接触することにより、第1層目の配線12-1と第2層目の配線16-1とが電気的に接続されている。上記コンタクトホール14には、マスクずれ等による接続不良を防止するために $\Delta\alpha$ だけ合わせ余裕が設けられている。すなわち、上記各配線12-1、12-2、16-1、16-2の幅をそれぞれDとすると、コンタクトホール14の各辺は“ $D+2\Delta\alpha$ ”である。

【0027】このような構成によれば、各配線12-1、12-2、16-1、16-2の線幅及び間隔はそれぞれデザインルールによって決定されている最小寸法Dであり、配線12-1、16-1にはマスク合わせ余裕 $\Delta\alpha$ は不要となる。よって、配線ピッチは“2D”となり、高集積化に好適な配線間のコンタクト構造となる。図1乃至図3に示す構成において、コンタクトホール14にはマスク合わせ余裕 $\Delta\alpha$ が必要であり、図示しない隣接するコンタクトホールとの間には最小寸法Dに加えて上記マスク合わせ余裕 $\Delta\alpha$ が必要となるが、図24及び図25に示した構成でもこの点は同じである。

【0028】次に、上述したコンタクト部の形成方法について図4(a)、(b)乃至図7(a)、(b)を参照して詳しく説明する。図4(a)乃至図7(a)はそれぞれ、上記図2のA-A'線に沿った断面の製造工程を順次示しており、図4(b)乃至図7(b)はそれぞれ、上記図2のB-B'線に沿った断面の製造工程を順次示している。

【0029】まず、図4(a)及び図4(b)に示すように、半導体基板10上に絶縁膜11を形成する。この絶縁膜11がフィールド酸化膜の場合には、例えばLOCOS法を用いて半導体基板10の表面を選択酸化する。上記絶縁膜11上にポリシリコン等からなる導電層を堆積形成し、パターンニングを行って第1層目の配線12-1、12-2を形成する。次に、全面に絶縁膜13を堆積形成し、リフローあるいはCMP等の方法で表面を平坦化する。

(6)

9

【0030】その後、図5(a)及び図5(b)に示すように、上記絶縁膜13の上記配線12-1上にRIE等の異方性エッチング法によりコンタクトホール14を形成する。このコンタクトホール14の各辺には、マスク合わせずれによるコンタクト不良を防止するために、各配線12-1、12-2、16-1、16-2の幅Dに対して左右に $\Delta\alpha$ の余裕を見込んでいる。すなわち、コンタクトホール14の第1層目の配線12-1と交差する2つの辺の幅W1はそれぞれ、この配線12-1の幅Dより $2\Delta\alpha$ だけ広く、第2層目の配線16-1と交差する2つの辺の幅W2はそれぞれ、この配線16-1の幅Dより $2\Delta\alpha$ だけ広い。

【0031】その後、CVD法により全面にタングステン等の導電層を堆積形成し、例えばSOG等の絶縁性充填部材15でコンタクトホール14を埋め込むと図6

(a)及び図6(b)に示すようになる。

【0032】次に、図7(a)及び図7(b)に示すように、絶縁膜13、配線16-1、16-2及び絶縁性充填部材15上にレジスト18を塗布し、露光及び現像などの処理を行ってパターンニング用のマスクを形成する。このマスクを用いてRIE等の異方性エッチング法で、上記導電層をパターンニングして第2層目の配線16-1、16-2を形成する。これによって、図1乃至図3に示したようなコンタクト構造が形成される。

【0033】このような製造方法によれば、第1層目の配線12-1上の絶縁膜13にコンタクトホール14を形成する際、マスクずれが生じても、 $\pm\Delta\alpha$ 以内であれば第2層目の配線16-1との間で確実なコンタクトが取れる。また、第2層目の配線16-1をパターンニングする際にマスクずれが生じても、 $\pm\Delta\alpha$ 以内であれば第1層目の配線12-1と第2層目の配線16-1を確実にコンタクトできる。しかも、マスク合わせ余裕 $\Delta\alpha$ が必要なのはコンタクトホール14のみであり、第1層目の配線12-1、12-2と第2層目の配線16-1、16-2をそれぞれデザインルールで決定される最小幅及び最小ピッチで形成できる。従って、高集積化に好適な配線間のコンタクト構造を有する半導体装置の製造方法が提供できる。

【0034】なお、上記第1の実施例では、第1層目の配線12-1、12-2と第2層目の配線16-1、16-2が直交する方向に配置されている場合を例に取って説明したが、図8乃至図10に示すように第1層目の配線12-1、12-2と第2層目の配線16-1、16-2が平行な方向に配置されている場合も同様であり、同じ作用効果が得られる。

【0035】図8は半導体集積回路装置における第1層目の配線12-1と第2層目の配線16-1とのコンタクト部の構造をこれらの配線のみを抽出して示す斜視図、図9は上記コンタクト部のパターン平面図、図10(a)は上記図9のA-A'線に沿った断面図、図10

10

(b)は上記図9のB-B'線に沿った断面図である。

図8乃至図10において、上記図1乃至図3と同一構成部には同じ符号を付してその詳細な説明は省略する。

【0036】図11及び図12(a)、(b)はそれぞれ、この発明の第2の実施例に係る半導体装置について説明するためのもので、図11はコンタクト部のパターン平面図、図12(a)は上記図11に示したパターンのA-A'線に沿った製造工程の途中の断面図、図12(b)は図11のB-B'線に沿った製造工程の途中の断面図である。

【0037】上記第1の実施例においては、コンタクトホール14内を絶縁性充填部材15で埋め込んだのに対し、この第2の実施例では絶縁性充填部材で埋め込まずに、コンタクトホール14内に第2層目の配線16-1を形成している。

【0038】このようなコンタクト構造を形成するに際し、第2層目の配線となる導電層を全面に形成する工程、すなわち図4(a)、(b)及び図5(a)、

(b)に示した工程の後、全面に導電層を形成する工程までは上述した第1の実施例と同様である。その後、図12(a)、(b)に示すように、コンタクトホール14内を絶縁性充填部材で埋め込むことなくレジスト18を塗布し、露光及び現像等の処理を行って第2層目の配線16-1、16-2をパターンニング形成するためのマスクを形成する。次に、上記レジスト18をマスクにしてRIE等の異方性エッチングを行い、導電層をパターンニングして第2層目の配線16-1、16-2を形成する。

【0039】このような製造方法では、図12(b)に示すように、レジスト18とコンタクトホール14の間隔は最小寸法より十分小さいので、リソグラフィ工程において解像限界以下であり未露光部分が残る。この未露光部分は第2層目の配線16-2におけるコンタクトホール14の底部の領域がエッチングされるのを防ぐ役割をする。よって、コンタクトホール14を絶縁性充填部材で埋め込まなくても第2層目の配線16-1、16-2の形成時にレジスト18でコンタクトホール内をマスクできるので、絶縁性充填部材15で埋め込んだのと同様なパターンニングが行える。

【0040】従って、上述した図11及び図12

(a)、(b)に示した構成並びに製造方法であっても第1の実施例と同様な作用効果が得られる。なお、上記第2の実施例のような構成並びに製造方法であっても、第1の実施例における図8乃至図10に示した場合と同様に、第1層目の配線12-1、12-2と第2層目の配線16-1、16-2が平行な方向に沿って形成されているコンタクト部に適用可能なのは勿論である。

【0041】次に、この発明をDRAMのビット線コンタクト部に応用する例について説明する。図13は、DRAMのセル配置を模式的に示している。図13におい

(7)

11

て、21はキャパシタ、22はワード線、23はビット線コンタクト部を示している。破線で囲んだ領域24は1つのセル単位である。

【0042】この種のDRAMのセル構造として、1993 IEDM Technical Digest, pp627-630に、256MビットのBEST (Buried STrap) セルが記載されている。

【0043】図14を用いてこのBESTセルについて簡単に説明する。図14(a)は1つのセル単位のパターン平面図、図14(b)は図14(a)のA-A'線に沿った断面構成図である。図14において、30は半導体基板、31は埋め込みNウェル領域、32はPウェル領域、33はトレンチ、34は酸化膜と窒化膜との積層膜(ON膜)、35は第1のN⁺型ポリシリコン層、36は酸化膜カラー、37は第2のN⁺型ポリシリコン層、38は第3のN⁺型ポリシリコン層、39は埋め込みストラップ、40はSTI(Shallow Trench Isolation)、41はワード線となるゲート電極(ポリシリコン層)、42はBPSG等からなる絶縁膜、43はビット線コンタクト部、44は第4のN⁺型ポリシリコン層、45はビット線、46はアクティブ領域、47はSiN膜、48はSiN膜からなるスペーサである。

【0044】上記構成のBESTセルは、次のような製造工程で形成される。まず、半導体基板30中に埋め込みNウェル領域31及びPウェル領域32を形成し、この基板30にトレンチ33を形成する。次に、トレンチ33の内壁にON膜34を形成し、第1のN⁺型ポリシリコン層35で充填する。これによって、上記ON膜34をキャパシタ絶縁膜、N⁺型ポリシリコン層35と埋め込みNウェル領域31をそれぞれ電極とするキャパシタが形成される。次に、上記ポリシリコン層35をPウェル領域32とNウェル領域31との界面より下方までエッチバックし、N⁺型ポリシリコン層35上に酸化膜カラー36を形成する。次に、トレンチ33を第2のN⁺型ポリシリコン層37で埋め込み、Pウェル領域32の表面より下方までエッチバックする。続いて、N⁺型ポリシリコン層37の上方の酸化膜カラー36をエッチングして除去し、第3のN⁺型ポリシリコン層38を形成するとともに、埋め込みストラップ39を形成する。STI40を形成し、基板上に図示しないゲート絶縁膜を介してワード線となるゲート電極(ポリシリコン)41を形成する。全面にBPSG膜等の絶縁膜42を形成してリフローあるいはCMP等の方法で表面を平坦化した後、ゲート電極41に対して自己整合的にビット線コンタクト部(コンタクトホール)43を形成し、第4のN⁺型ポリシリコン層44で埋め込む。そして、上記絶縁膜42上に導電層を形成してパターンニングすることによりビット線45を形成する。上記ビット線45は、上記ポリシリコン層44を介してソース/ドレイン領域と

12

して働くN⁻型拡散層49と電気的に接続される。

【0045】次に、上記図14に示したDRAMにおけるビット線コンタクト部に、この発明を適用する場合について図15(a)、(b)乃至図18(a)、(b)を参照しつつ詳しく説明する。図15乃至図18に示すビット線コンタクト部は、隣接する2つのセルで共用されており、このビット線コンタクト部に接続された2つの選択MOSトランジスタを抽出して示している。図15(a)乃至図18(a)はそれぞれ、図13に示したパターンのA-A'線に沿った断面に対応するビット線コンタクト部を製造工程順に示している。また、図15(b)乃至図18(b)はそれぞれ同図13のB-B'線に沿った断面に対応するビット線コンタクト部を製造工程順に示している。

【0046】STI40を形成する工程までは図14を用いて説明した従来の製造工程と同様である(図15(a)、(b))。Pウェル領域32上に図示しないゲート絶縁膜を形成した後、N⁺型ポリシリコン層及びSiN膜を順次堆積形成し、パターンニングしてゲート電極41を形成する。上記ゲート電極41上にはSiN膜47が残存される。パターンニングしたゲート電極41及びSiN膜47をマスクにしてPウェル領域32に不純物をイオン注入し、ソース/ドレイン領域として働くN⁻型拡散層49を形成する。この後、ゲート電極41及びSiN膜47の側壁部にSiN膜からなるスペーサ48を形成する。引き続き全面にBPSG膜42を堆積形成し、表面を平坦化する(図16(a)、(b)参照)。ビット線コンタクト用のマスクを用いて、RIE法で上記BPSG膜42及びSiN膜47の選択エッチングを行い、ビット線コンタクト部(コンタクトホール)50を形成する。次に、例えばタングステンあるいはタングステン/チタンナイトライド/チタンの積層膜45を全面に形成する(図17(a)、(b))。

【0047】以降は前述した第1の実施例と同様に、SOG51によりビット線コンタクト部50内を埋め込み、レジスト52をマスクにしてRIE法により上記積層膜をパターンニングしてビット線45を形成する(図18(a)、(b))。

【0048】なお、上記実施例ではビット線コンタクト部50内をSOG51で埋め込んだが、前述した第2の実施例と同様にビット線コンタクト部50を埋め込まず、図19(a)、(b)に示すように、レジスト52でマスクしてビット線45をパターンニングしても良い。

【0049】図20は、上記図16(b)に示した工程の後の絶縁膜42のエッチング工程において、ビット線コンタクト部50のエッチングがオーバーした場合を示している。オーバーエッチングした状態でビット線45を形成すると、ビット線45が露出されたPウェル領域32とショートしてしまう。そこで、このようなショートを防ぐために、図21に示す第5実施例ではN⁻型拡

(8)

13

散層（ソース／ドレイン領域）49をエッチングオーバー分を見込んで予め深く形成している。

【0050】図22及び図23はそれぞれ、上記ビット線45とPウェル領域32のショートを防止するための他の例を示している。この第6実施例では、図22に示すように、ビット線コンタクト部50の形成後、実線及び斜線で示すようにコンタクト部50内に斜めに2回のイオン注入を施すことにより、N⁻型拡散層49をPウェル領域32の突出部の上面だけでなく側壁部にも形成している。これによって、図23に示すように、ビット線45とPウェル領域32の露出部との間にN⁻型拡散層53が介在されるのでショートを防止できる。

【0051】上述したように、この発明の配線間のコンタクト構造並びにその形成方法では、図2に示したように、第1層目の配線12-1、12-2、第2層目の配線16-1、16-2ともに配線幅及び配線間隔をデザインルールで決定される最小寸法Dにできるので、集積度の指標となる配線ピッチは2Dとなり、高集積化に好適である。コンタクトホール14形成のためのパターンのマスク合わせ余裕 $\Delta\alpha$ は、コンタクト抵抗すなわち第1層目の配線と第2層目の配線の接触面積が合わせずれによらず一定となるために設けるものであり、配線ピッチへの影響はない。第2実施例では第1実施例に比べて製造工程を簡略化できるので、低コストの半導体装置を形成できるという効果も得られる。また、第3実施例で説明したように、DRAMに適用した場合、最先端デバイスであるため高集積化及び低コスト化の効果はより大きい。更に、第5実施例では、ビット線とPウェル領域間のショートを防止するという効果が得られ、第6実施例ではN⁻型拡散層の拡散深さ X_j を深くせずにビット線とPウェル領域間のショートを防ぐという格別な効果が得られる。なお、この発明は上述した各実施例に限定されるものではなく、要旨を逸脱しない範囲で種々変形して実施可能なのは勿論である。

【0052】

【発明の効果】以上説明したように、この発明によれば、高集積化に好適な配線間のコンタクト構造を有する半導体装置及びその製造方法が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施例に係る半導体装置について説明するためのもので、半導体集積回路装置における第1層目の配線と第2層目の配線とのコンタクト構造をこれらの配線のみを抽出して示す斜視図。

【図2】この発明の第1の実施例に係る半導体装置について説明するためのもので、コンタクト部のパターン平面図。

【図3】この発明の第1の実施例に係る半導体装置について説明するためのもので、(a)は上記図2のA-A'線に沿った断面図、(b)は上記図2のB-B'線に沿った断面図。

14

【図4】上記図1乃至図3に示したコンタクト部の第1の製造工程について説明するためのもので、(a)は図2のA-A'線に沿った断面図、(b)は図2のB-B'線に沿った断面図。

【図5】上記図1乃至図3に示したコンタクト部の第2の製造工程について説明するためのもので、(a)は図2のA-A'線に沿った断面図、(b)は図2のB-B'線に沿った断面図。

【図6】上記図1乃至図3に示したコンタクト部の第3の製造工程について説明するためのもので、(a)は図2のA-A'線に沿った断面図、(b)は図2のB-B'線に沿った断面図。

【図7】上記図1乃至図3に示したコンタクト部の第4の製造工程について説明するためのもので、(a)は図2のA-A'線に沿った断面図、(b)は図2のB-B'線に沿った断面図。

【図8】上記図1に示した第1の実施例の変形例について説明するためのもので、半導体集積回路装置における第1層目の配線と第2層目の配線とのコンタクト構造をこれらの配線のみを抽出して示す斜視図。

【図9】上記図1に示した第1の実施例の変形例について説明するためのもので、半導体集積回路装置における第1層目の配線と第2層目の配線とのコンタクト構造を示すパターン平面図。

【図10】上記図1に示した第1の実施例の変形例について説明するためのもので、(a)は上記図9のA-A'線に沿った断面図、(b)は上記図9のB-B'線に沿った断面図。

【図11】この発明の第2の実施例に係る半導体装置について説明するためのもので、コンタクト部のパターン平面図。

【図12】この発明の第2の実施例に係る半導体装置について説明するためのもので、(a)は上記図11に示したパターンのA-A'線に沿った製造工程の途中の断面図、(b)は図11のB-B'線に沿った製造工程の途中の断面図。

【図13】この発明の第3の実施例に係る半導体装置について説明するためのもので、DRAMのビット線コンタクトに応用する場合のセル配置を概略的に示す図。

【図14】上記図13に示したセルの一例としてBES Tセルについて説明するためのもので、(a)は1つのセル単位のパターン平面図、(b)は(a)のA-A'線に沿った断面構成図。

【図15】図12及び図13に示したDRAMにおけるビット線コンタクト部に、この発明を適用する場合について説明するためのもので、(a)は図13のA-A'線に沿った断面に対応するビット線コンタクト部の第1の製造工程を示す断面図、(b)は図13のB-B'線に沿った断面に対応するビット線コンタクト部の第1の製造工程を示す断面図。

(9)

15

【図16】図12及び図13に示したDRAMにおけるビット線コンタクト部に、この発明を適用する場合について説明するためのもので、(a)は図13のA-A'線に沿った断面に対応するビット線コンタクト部の第2の製造工程を示す断面図、(b)は図13のB-B'線に沿った断面に対応するビット線コンタクト部の第2の製造工程を示す断面図。

【図17】図12及び図13に示したDRAMにおけるビット線コンタクト部に、この発明を適用する場合について説明するためのもので、(a)は図13のA-A'線に沿った断面に対応するビット線コンタクト部の第3の製造工程を示す断面図、(b)は図13のA-A'線に沿った断面に対応するビット線コンタクト部の第3の製造工程を示す断面図。

【図18】図12及び図13に示したDRAMにおけるビット線コンタクト部に、この発明を適用する場合について説明するためのもので、(a)は図13のA-A'線に沿った断面に対応するビット線コンタクト部の第4の製造工程を示す断面図、(b)は図13のA-A'線に沿った断面に対応するビット線コンタクト部の第4の製造工程を示す断面図。

【図19】DRAMにおけるビット線コンタクト部に、この発明を適用する場合の他の例について説明するためのもので、(a)は図13のA-A'線に沿った断面に対応するビット線コンタクト部の一部の製造工程を示す断面図、(b)は図13のB-B'線に沿った断面に対応するビット線コンタクト部の一部の製造工程を示す断面図。

【図20】上記図17(b)に示した工程において、ビット線コンタクト部のエッチングがオーバーした場合を示す断面図。

【図21】この発明の第5の実施例に係る半導体装置に

16

ついて説明するためのもので、図20に示したビット線とPウェル領域とのショートを防止するための構成例を示す断面図。

【図22】この発明の第6の実施例に係る半導体装置について説明するためのもので、ビット線とPウェル領域とのショートを防止するための製造工程の一部を示す断面図。

【図23】この発明の第6の実施例に係る半導体装置について説明するためのもので、ビット線とPウェル領域とのショートを防止するた図22に示した製造工程の次の工程を示す断面図。

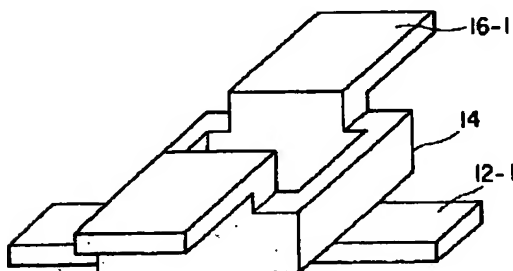
【図24】従来の配線間のコンタクト構造とその形成方法について説明するためのもので、半導体集積回路装置のコンタクト部を抽出して示すパターン平面図。

【図25】従来の配線間のコンタクト構造とその形成方法について説明するためのもので、図24のA-A'線に沿った断面構成図。

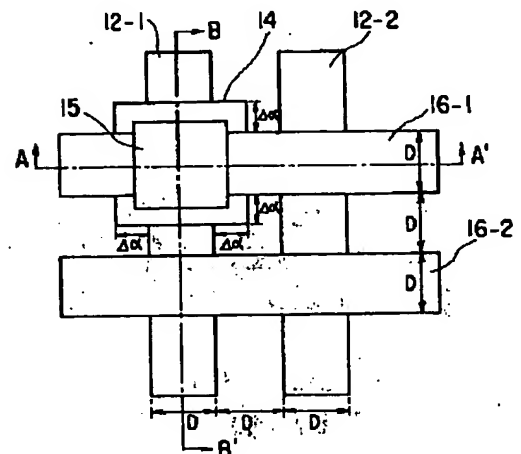
【符号の説明】

10…半導体基板、11…絶縁膜、12-1、12-2…第1層目の配線、13…絶縁膜、14…コンタクトホール、15…絶縁性充填部材、16-1、16-2…第2層目の配線、18…レジスト、30…半導体基板、31…埋め込みNウェル領域、32…Pウェル領域、33…トレンチ、34…酸化膜と窒化膜との積層膜(ON膜)、35…第1のN⁺型ポリシリコン層、37…第2のN⁺型ポリシリコン層、38…第3のN⁺型ポリシリコン層、39…埋め込みストラップ、40…STI、41…ゲート電極、42…絶縁膜(BPSG膜)、45…ビット線、46…アクティブ領域、47…SiN膜、48…スペーサ、49…N⁻型拡散層(ソース/ドレイン領域)、50…ビット線コンタクト部、51…SOG(絶縁性充填部材)、52…レジスト。

【図1】

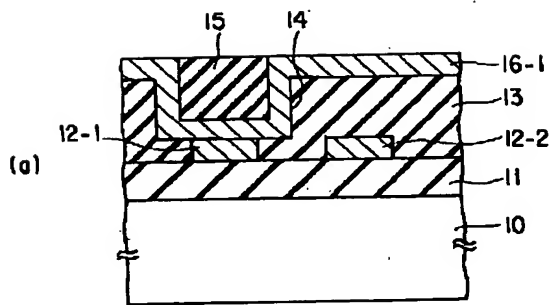


【図2】

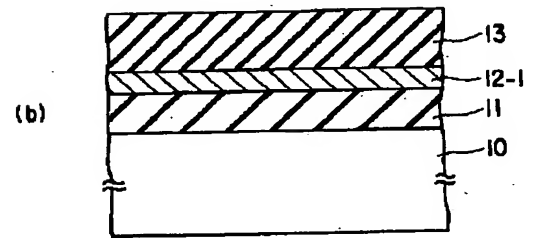
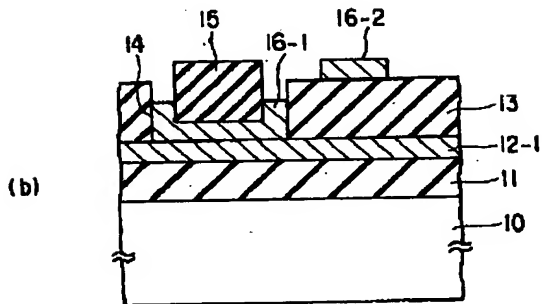
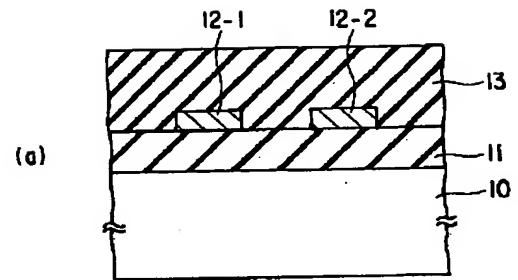


(10)

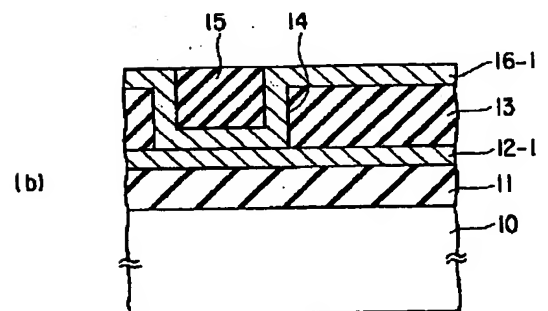
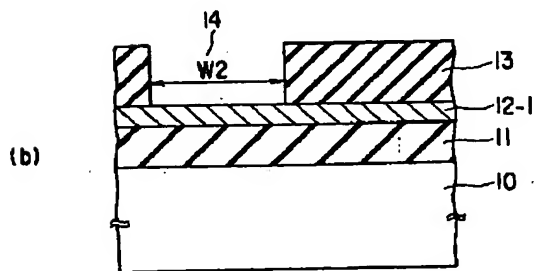
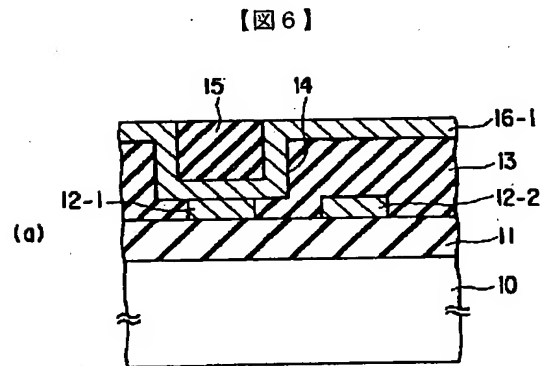
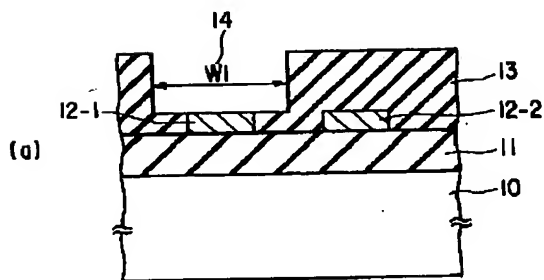
【図3】



【図4】

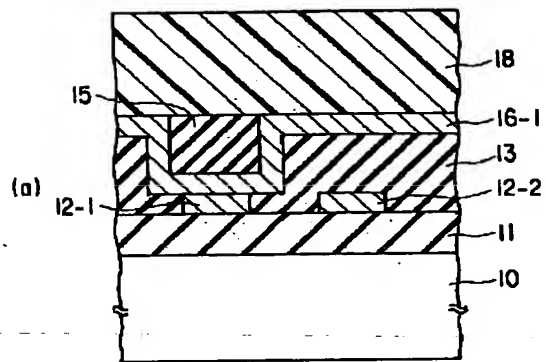


【図5】

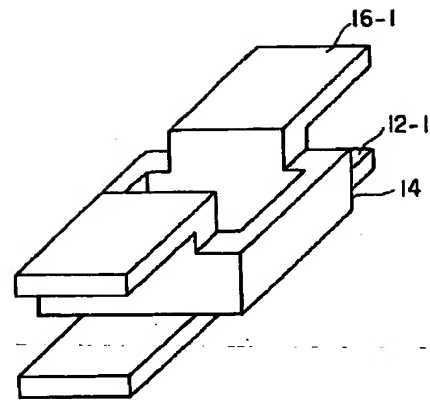


(11)

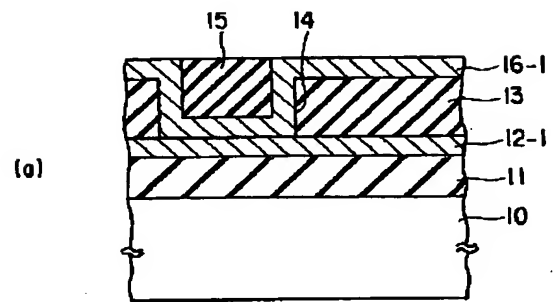
【図 7】



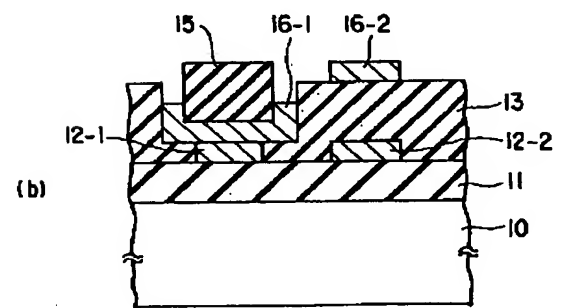
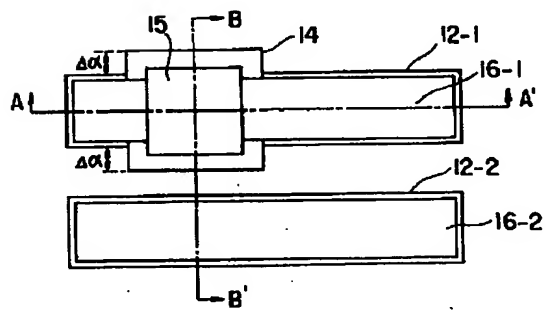
【図 8】



【図 10】

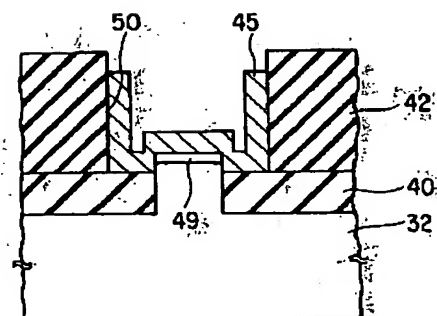
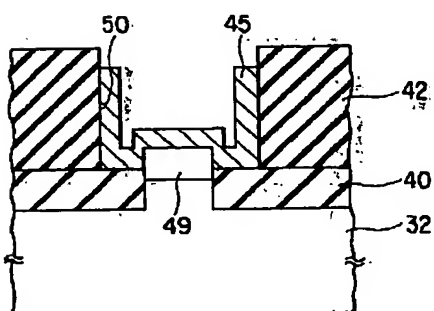


【図 9】



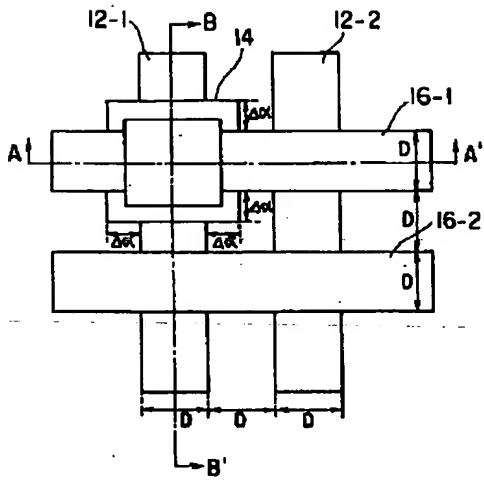
【図 20】

【図 21】

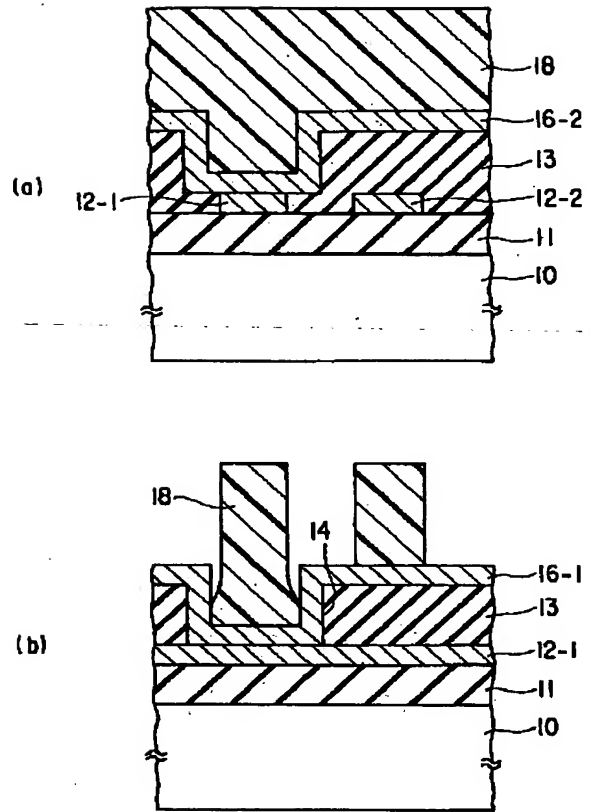


(12)

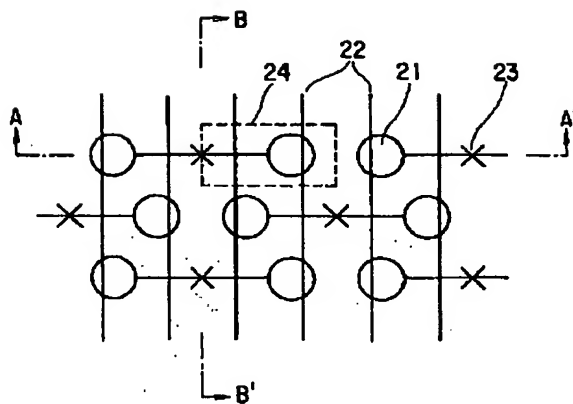
【図11】



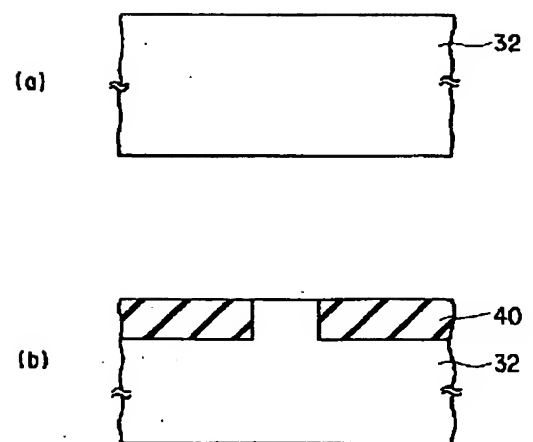
【図12】



【図13】

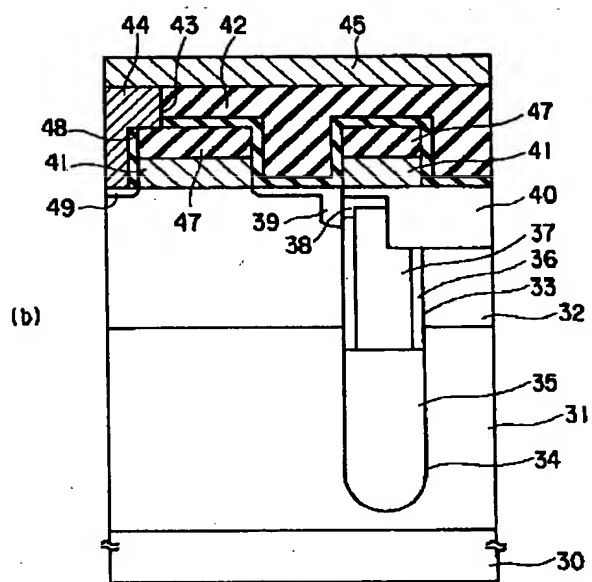
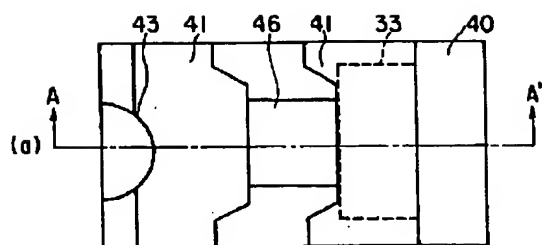


【図15】

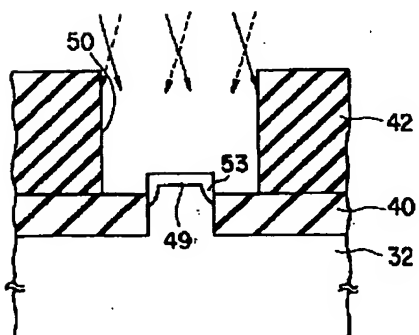


(13)

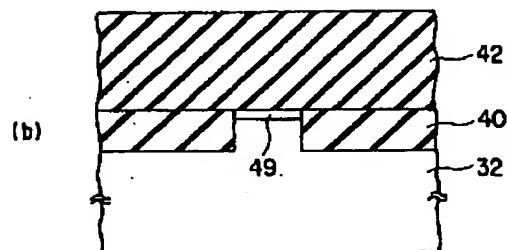
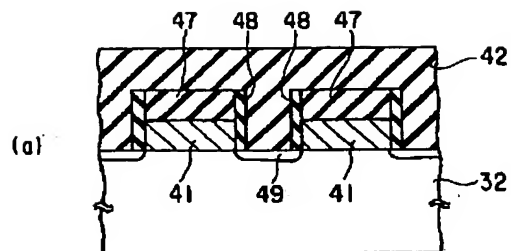
【図14】



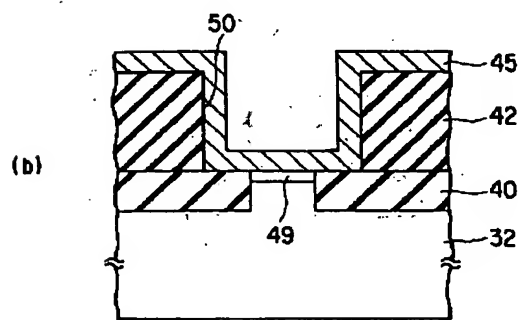
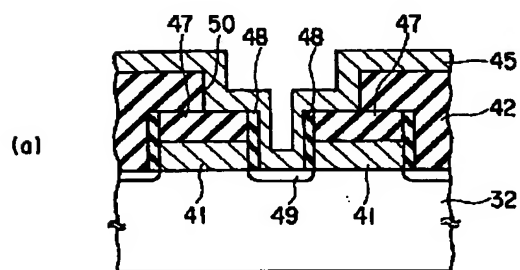
【図22】



【図16】

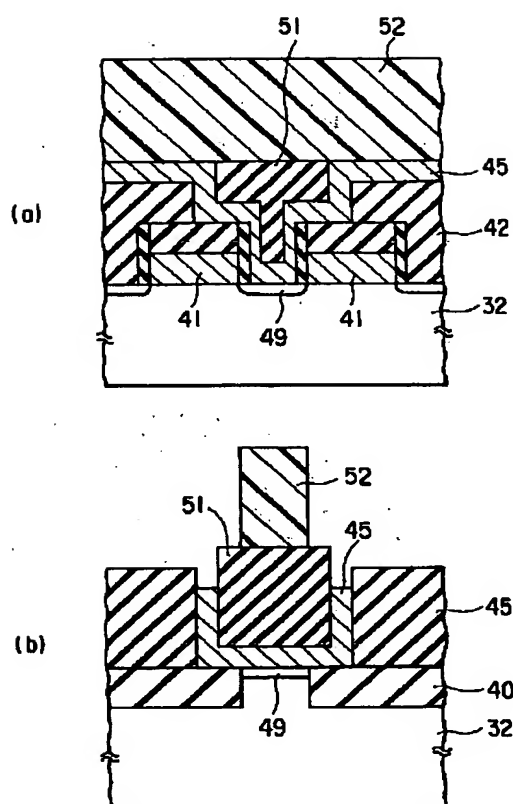


【図17】

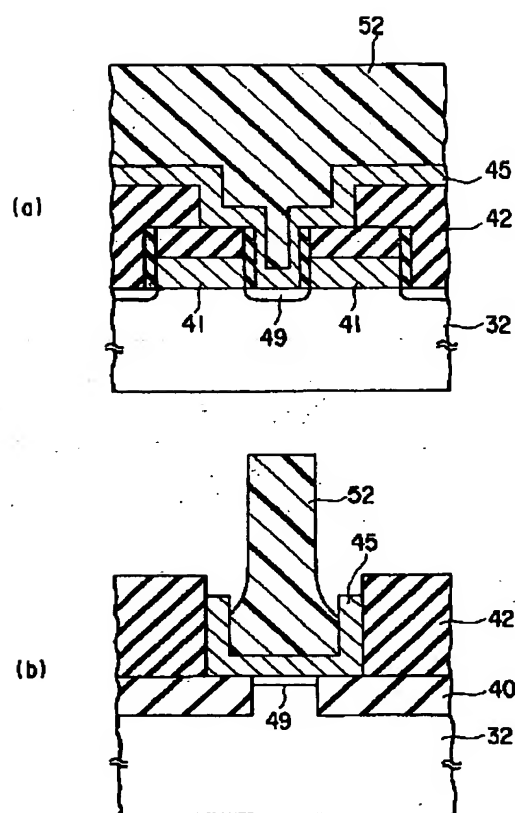


(14)

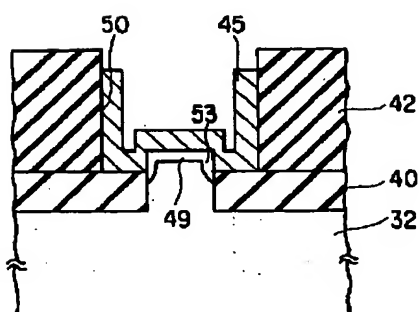
【図18】



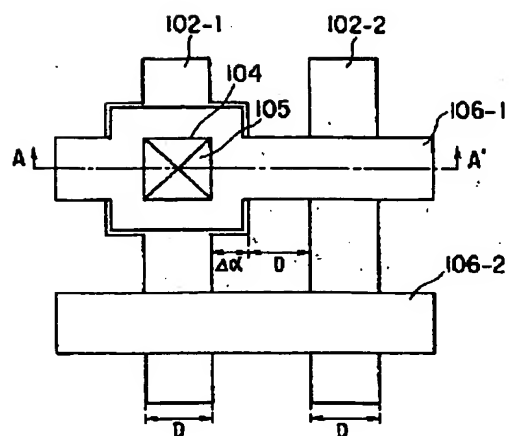
【図19】



【図23】

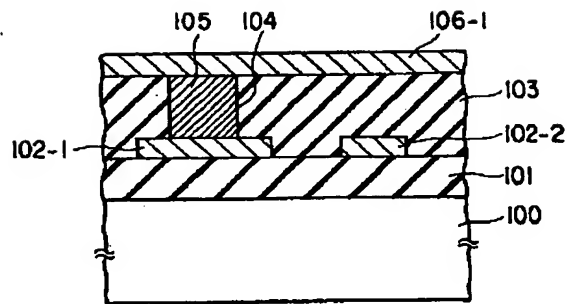


【図24】



(15)

【図 2 5】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/8242
27/108

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 27/10

3 2 5 N

7210-4M

3 2 5 P

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成13年10月26日(2001.10.26)

【公開番号】特開平7-245343
【公開日】平成7年9月19日(1995.9.19)
【年通号数】公開特許公報7-2454
【出願番号】特願平6-33683
【国際特許分類第7版】

H01L 21/768
21/28
21/3205
21/8242
27/108

【FI】

H01L	21/90	B
	21/28	L
	21/88	A
	27/10	325 N
		325 P

【手続補正書】

【提出日】平成13年1月25日(2001.1.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1配線と、この第1配線上に形成される絶縁膜と、この絶縁膜の上記第1配線上に形成されるコンタクトホールと、上記絶縁膜上に形成され、上記コンタクトホールを介して上記第1配線に電気的に結合される第2配線とを有する半導体装置において、上記コンタクトホールは上記第1配線及び上記第2配線の幅よりも大きく、上記第2配線を上記コンタクトホールの側壁及び底部に形成し、上記コンタクトホールの底部で上記第2配線と上記第1配線とを電気的に結合したことを特徴とする半導体装置。

【請求項2】 デザインルールで決定された最小線幅及び最小間隔で第1の方向に沿って平行に形成された複数の第1配線と、これら第1配線上に形成される絶縁膜と、上記第1配線上の上記絶縁膜に形成されるコンタクトホールと、上記絶縁膜上にデザインルールで決定された最小線幅及び最小間隔で、上記第1の方向と直交する第2の方向に沿って平行に形成される複数の第2配線とを有し、第1配線と第2配線とが上記コンタクトホールを介して電気的に結合される半導体装置において、上記コンタクトホールの第1の方向と平行な辺は上記第2配

線の線幅よりも大きく且つ上記第2配線の配線間隔の2倍に上記第2配線の線幅を加えた値より小さく、上記コンタクトホールの第2の方向と平行な辺は上記第1配線の線幅よりも大きく且つ上記第1配線の配線間隔の2倍に上記第1配線の線幅を加えた値より小さく、上記第2配線を上記コンタクトホールの側壁及び底部に形成し、上記コンタクトホールの底部の上記第2配線と上記第1配線とを電気的に結合したことを特徴とする半導体装置。

【請求項3】 デザインルールで決定された最小線幅及び最小間隔で平行に形成された複数の第1配線と、これら第1配線上に形成される絶縁膜と、上記第1配線上の上記絶縁膜に形成されるコンタクトホールと、上記絶縁膜上にデザインルールで決定された最小線幅及び最小間隔で、上記第1配線上に沿ってそれぞれ平行に形成される複数の第2配線とを有し、第1配線と第2配線とが上記コンタクトホールを介して電気的に結合される半導体装置において、上記コンタクトホールの上記第1配線及び第2配線と直交する辺は、上記第1配線及び第2配線の線幅よりも大きく且つ上記第1配線及び第2配線の配線間隔の2倍に上記第1配線及び第2配線の線幅を加えた値より小さく、上記第2配線を上記コンタクトホールの側壁及び底部に形成し、上記コンタクトホールの底部の上記第2配線と上記第1配線とを電気的に結合したことを特徴とする半導体装置。

【請求項4】 半導体基板上にデザインルールで決定された最小間隔で形成された素子分離膜と、上記半導体基板の表面上にゲート絶縁膜を介して形成され、ワード線

(2)

1
に接続される複数のゲート電極と、これらゲート電極の両側の上記半導体基板中に形成されるソース／ドレイン領域と、上記ソース／ドレイン領域を被覆する絶縁膜と、上記絶縁膜におけるソース／ドレイン領域の一方上に上記ゲート電極の一部及び素子分離膜の一部を含んで形成されたコンタクトホールと、ソース／ドレイン領域の一方に接続し、コンタクトホールの側壁及び底面を覆い、上記絶縁膜上の線幅がコンタクト径より小さいビット線と、上記ソース／ドレイン領域の他方と電気的に結合されたキャパシタとを具備することを特徴とする半導体装置。

【請求項 5】 前記ソース／ドレイン領域の上面は、前記素子分離膜の上面よりも上方にあり、前記ソース／ドレイン領域の上面と前記素子分離膜の上面とで形成される段差よりもソース／ドレイン領域の深さが深いことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記ソース／ドレイン領域の上面は、前記素子分離膜の上面よりも上方にあり、前記ソース／ドレイン領域の上面と前記素子分離膜の上面とで形成される段差部よりもソース／ドレイン領域の深さが浅く、上記段差部の側壁に前記ソース／ドレイン領域を延在せしめたことを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】 第 1 配線を形成する工程と、上記第 1 配線を被覆する第 1 絶縁膜を形成する工程と、上記第 1 配線上の第 1 絶縁膜に第 1 配線の幅よりも大きいコンタクトホールを形成する工程と、全面に第 2 配線材料を形成する工程と、コンタクトホール内を第 2 絶縁膜で埋め込む工程と、コンタクトホールの径より小なる幅のレジストを形成する工程と、上記レジスト及び上記第 2 絶縁膜をマスクにして上記第 2 配線材料をパターンニングし、第 2 配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 8】 第 1 配線を形成する工程と、上記第 1 配線を被覆する第 1 絶縁膜を形成する工程と、上記第 1 配線上の第 1 絶縁膜に第 1 配線の幅よりも大きいコンタクトホールを形成する工程と、全面に第 2 配線材料を形成する工程と、コンタクトホール底部を充填するようにコンタクトホールの径より小なる幅のレジストを形成する工程と、上記レジストをマスクにして上記第 2 配線材料をパターンニングし、第 2 配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上にデザインルールで決定された最小間隔で素子分離膜を形成する工程と、上記半導体基板の表面上にゲート絶縁膜を形成し、このゲート絶縁膜上にワード線に接続される複数のゲート電極を形成する工程と、上記半導体基板中にソース／ドレイン領域を形成する工程と、上記ソース／ドレイン領域を被覆する絶縁膜を形成する工程と、上記ソース／ドレイン領域の一方上にゲート電極の一部及び素子分離膜の一部を含むコンタクトホールを形成する工程と、上記ソース／ド

2
レイン領域の一方に接続され、コンタクトホールの側壁及び底部を覆い、上記絶縁膜上の線幅が上記コンタクトホールよりも小さいビット線を形成する工程と、上記ソース／ドレイン領域の他方と電気的に結合されたキャパシタを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 10】 前記コンタクトホールを形成する際に、前記素子分離膜の一部を同時にエッチングし、露出した半導体基板の側壁に延在するソース／ドレイン領域を形成する工程を更に具備することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 第 1 層目の配線と、上記第 1 層目の配線上に形成された第 1 の絶縁膜と、上記第 1 の絶縁膜の上記第 1 層目の配線上に形成され、上記第 1 層目の配線の一部を露出させるコンタクトホールと、上記コンタクトホール内に形成され、開放箱状のコンタクト部によって、上記第 1 層目の配線と電気的に結合された第 2 層目の配線とを具備し、上記第 2 層目の配線は、上記第 1 の絶縁膜上に形成され、上記開放箱状のコンタクト部の第 1 側壁部に結合された第 1 の部分と、上記第 1 の絶縁膜上に形成され、上記開放箱状のコンタクト部の第 2 側壁部に結合された第 2 の部分とを含むことを特徴とする半導体装置。

【請求項 12】 前記第 1 層目の配線は、第 2 の絶縁膜上に形成されることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】 前記コンタクトホール内における前記開放箱状のコンタクト部の開口内に充填される第 3 の絶縁膜を更に具備することを特徴とする請求項 11 に記載の半導体装置。

【請求項 14】 前記第 1 層目の配線は第 1 の方向に延設され、前記第 2 層目の配線は、前記第 1 層目の配線と交差する第 2 の方向に延設され、前記開放箱状のコンタクト部は、前記第 1 層目の配線と前記第 2 層目の配線との交差位置に配置されることを特徴とする請求項 11 に記載の半導体装置。

【請求項 15】 前記第 1 層目の配線と前記第 2 層目の配線は平行な方向に配置され、前記開放箱状のコンタクト部は、前記第 1 層目の配線と前記第 2 層目の配線とがオーバーラップしている部分に配置されることを特徴とする請求項 11 に記載の半導体装置。

【請求項 16】 第 1 の方向に沿って互いに平行に形成された第 1 層目の複数の配線と、上記第 1 の方向と直交する第 2 の方向に沿って互いに平行に形成された第 2 層目の複数の配線と、上記第 1 層目の複数の配線と上記第 2 層目の複数の配線との間に介在される第 1 の絶縁膜と、上記第 1 層目の複数の配線と上記第 2 層目の複数の配線との少なくとも 1 つの交差部における上記第 1 の絶縁膜の一部に、上記第 1 層目の配線の上面に達する深さに形成されたコンタクトホールとを具備し、上記コンタ

(3)

3

クトホールの第1の方向と平行な辺は上記第2層目の配線の線幅よりも大きく且つ上記第2層目の配線の配線間隔の2倍に上記第2層目の配線の線幅を加えた値より小さく、上記コンタクトホールは第2の方向と平行な辺は上記第1層目の配線の線幅よりも大きく且つ上記第1層目の配線の配線間隔の2倍に上記第1層目の配線の線幅を加えた値より小さく、上記第2層目の配線は上記コンタクトホールの少なくとも側壁及び底部に形成され、上記コンタクトホールの底部で上記第2層目の配線と上記第1層目の配線とが電気的に結合されることを特徴とする半導体装置。

【請求項17】 互いに平行に形成された第1層目の複数の配線と、上記第1層目の配線上に沿ってそれぞれ平行に形成された第2層目の複数の配線と、上記第1層目の複数の配線と上記第2層目の複数の配線との間に介在される第1の絶縁膜と、上記第1層目の複数の配線と上記第2層目の複数の配線との少なくとも1つのオーバーラップ部における上記第1の絶縁膜の一部に、上記第1層目の配線の上面に達する深さに形成されるコンタクトホールとを具備し、上記コンタクトホールは上記第1層目の配線及び第2層目の配線と直交する辺は、上記第1層目の配線及び第2層目の配線の線幅よりも大きく且つ上記第1層目の配線及び第2層目の配線の配線間隔の2倍に上記第1層目の配線及び第2層目の配線の線幅を加えた値より小さく、上記第2層目の配線は上記コンタクトホールの少なくとも側壁及び底部に形成され、上記コンタクトホールの底部で上記第2層目の配線と上記第1層目の配線とが電気的に結合されることを特徴とする半導体装置。

【請求項18】 前記第1層目の複数の配線は、第2の絶縁膜上に形成されることを特徴とする請求項16または17に記載の半導体装置。

【請求項19】 前記コンタクトホール内の前記第2層目の配線を埋め込む第3の絶縁膜を更に具備することを特徴とする請求項16または17に記載の半導体装置。

【請求項20】 前記第2層目の配線は、前記コンタクトホールを埋め込んで形成されていることを特徴とする請求項16または17に記載の半導体装置。

【請求項21】 半導体基板上に形成された素子分離膜と、上記半導体基板の表面上にゲート絶縁膜を介在して形成され、ワード線に接続される複数のゲート電極と、上記複数のゲート電極の両側の上記半導体基板中に形成されるソース/ドレイン領域と、上記ソース/ドレイン領域を被覆する絶縁膜と、上記絶縁膜におけるソース/ドレイン領域の一方上に上記ゲート電極の一部及び素子分離膜の一部を含んで形成されたコンタクトホールと、上記ソース/ドレイン領域の一方に接続され、コンタクトホールの側壁及び底面を覆い、上記絶縁膜上の線幅がコンタクト径より小さいビット線と、上記ソース/ドレイン領域の他方と電気的に結合されたキャパシタとを具

4

備することを特徴とする半導体装置。

【請求項22】 前記ソース/ドレイン領域の上面は、前記素子分離膜の上面よりも上方にあり、前記ソース/ドレイン領域の上面と前記素子分離膜の上面とで形成される段差よりもソース/ドレイン領域の深さが深いことを特徴とする請求項21に記載の半導体装置。

【請求項23】 前記ソース/ドレイン領域の上面は、前記素子分離膜の上面よりも上方にあり、前記ソース/ドレイン領域の上面と前記素子分離膜の上面とで形成される段差部よりもソース/ドレイン領域の深さが浅く、前記段差部の側壁に前記ソース/ドレイン領域を延在せしめたことを特徴とする請求項21に記載の半導体装置。

【請求項24】 前記第1層目の配線の線幅と平行な方向の前記コンタクトホールのサイズは、前記第1層目の配線の線幅よりも大きいことを特徴とする請求項11に記載の半導体装置。

【請求項25】 前記開放箱状のコンタクト部は、前記第2層目の配線の一部であることを特徴とする請求項11に記載の半導体装置。

【請求項26】 第1の導電層と、上記第1の導電層上に形成された絶縁膜と、上記絶縁膜上に形成された第2の導電層と、上記第1導電層と上記第2導電層を電気的に接続するために、上記絶縁膜に形成されたコンタクトホール中に形成され、上記第1の導電層の幅と平行な方向のサイズが上記第1の導電層の幅よりも大きく、且つ上記第2の導電層の幅と平行な方向のサイズが上記第2の導電層の幅よりも大きいコンタクト部とを具備することを特徴とする半導体装置。

【請求項27】 前記第1の導電層は第1の配線を含み、前記第2の導電層は第2の配線を含むことを特徴とする請求項26に記載の半導体装置。

【請求項28】 前記コンタクト部は、前記コンタクトホールを埋め込んでいることを特徴とする請求項27に記載の半導体装置。

【請求項29】 前記コンタクト部は、前記第2の導電層に接触した第1の壁と、前記絶縁膜に接触した第2の壁とを含み、前記第1及び第2の壁は、前記コンタクトホールの開口内の領域の範囲であることを特徴とする請求項27に記載の半導体装置。

【請求項30】 前記第2の配線は、前記第2の壁の第1部分に接続される第1部分と、前記第2の壁の第2部分に接続される第2部分とを含むことを特徴とする請求項29に記載の半導体装置。

【請求項31】 前記第2の壁は、4つの壁部を含むことを特徴とする請求項29に記載の半導体装置。

【請求項32】 前記4つの壁部は、第1の対向する一対と第2の対向する一対とを含むことを特徴とする請求項31に記載の半導体装置。

【請求項33】 前記第1の配線は、前記第2の配線と

(4)

5

直交することを特徴とする請求項27に記載の半導体装置。

【請求項34】 前記第1の配線は、前記第2の配線と並行であることを特徴とする請求項27に記載の半導体装置。

【請求項35】 前記第1の配線の幅を $W1$ 、前記コンタクト部を形成するときのマスク合わせ余裕を $\Delta\alpha$ としたときに、前記コンタクトホールの前記第2の配線の幅と平行な方向の寸法は $W1 + 2\Delta\alpha$ であることを特徴とする請求項27に記載の半導体装置。

【請求項36】 前記第2の配線の幅を $W2$ 、前記コンタクト部を形成するときのマスク合わせ余裕を $\Delta\alpha$ としたときに、前記コンタクトホールの前記第2の配線の幅と平行な方向の寸法は $W2 + 2\Delta\alpha$ であることを特徴とする請求項27に記載の半導体装置。

【請求項37】 前記第1の導電層は、拡散層であることを特徴とする請求項27に記載の半導体装置。

【請求項38】 半導体基板と、上記半導体基板上に形成されたメモリセルであって、上記半導体基板中に形成され、チャネル領域により隔離されたソース/ドレイン領域と、上記チャネル領域と絶縁分離されたゲート電極とを含むスイッチングトランジスタと、上記ソース/ドレイン領域の一方に電気的に接続されたキャパシタとを含むメモリセルと、上記ソース/ドレイン領域上に形成された絶縁膜と、上記絶縁膜中のコンタクトホールに形成されたビット線コンタクト部により、上記ソース/ドレイン領域の他方に電気的に接続されたビット線とを具備し、上記ビット線の幅と平行な方向のコンタクトホールの寸法は、上記ビット線の幅よりも大きいことを特徴とする半導体装置。

【請求項39】 前記キャパシタは、トレンチセルキャパシタであることを特徴とする請求項38に記載の半導体装置。

【請求項40】 前記ビット線コンタクト部は、前記コンタクトホールを埋め込んでいることを特徴とする請求項38に記載の半導体装置。

【請求項41】 前記ビット線コンタクト部は、前記ソース/ドレイン領域の他方に接触した第1の壁と、前記絶縁膜に接触した第2の壁とを含み、前記第1及び第2の壁は、前記コンタクトホールの開口内の領域の範囲であることを特徴とする請求項38に記載の半導体装置。

【請求項42】 各々の幅が D で、且つ間隔が D で配置された複数の第1の配線と、上記第1の配線上に形成された絶縁膜と、上記絶縁膜上に形成され、各々の幅が D で、且つ間隔が D で配置された複数の第2の配線と、上記第1の配線の1つと上記第2の配線の1つを電気的に接続するために、上記コンタクトホール中に形成されたコンタクト部とを具備し、上記コンタクト部を形成するときの位置合わせ余裕を $\Delta\alpha$ としたとき、上記1つの第1配線の幅 D と平行な方向の上記コンタクトホールの寸

6

法は $D + 2\Delta\alpha$ であり、上記1つの第2配線の幅 D と平行な方向の上記コンタクトホールの寸法は $D + 2\Delta\alpha$ であることを特徴とする半導体装置。

【請求項43】 前記コンタクト部は、前記コンタクトホールを埋め込むことを特徴とする請求項42に記載の半導体装置。

【請求項44】 前記コンタクト部は、前記第2の導電層に接触した第1の壁と、前記絶縁膜に接触した第2の壁とを含み、前記第1及び第2の壁は、前記コンタクトホールの開口内の領域の範囲であることを特徴とする請求項27に記載の半導体装置。

【請求項45】 第1導電型の半導体基板と、上記半導体基板中に形成され、第2導電型でDRAMのメモリセルのソース/ドレイン領域として働く拡散層と、上記半導体基板上に形成された第1の絶縁膜と、上記第1の絶縁膜上に形成された導電層と、上記拡散層と上記導電層を電気的に接続するために、上記第1絶縁膜に形成されたコンタクトホール中に形成されたコンタクト部とを具備し、上記コンタクトホールの上記拡散層の幅と平行な方向のサイズは、上記拡散層の幅よりも大きいことを特徴とする半導体装置。

【請求項46】 前記コンタクト部の底部は、少なくとも一部が前記第2絶縁膜上に形成されることを特徴とする請求項45に記載の半導体装置。

【請求項47】 前記導電層は、ビット線であることを特徴とする請求項45に記載の半導体装置。

【請求項48】 前記コンタクト部は、前記コンタクトホールを埋め込んでいることを特徴とする請求項45に記載の半導体装置。

【請求項49】 前記コンタクト部は、前記導電層に接触する第1の壁部と、前記第1絶縁膜に接触する第2の壁部とを有することを特徴とする請求項45に記載の半導体装置。

【請求項50】 前記導電層は、前記第1の壁部の1つに接続された第1の部分と、前記第1の壁部の他の1つに接続された第2の部分とを含むことを特徴とする請求項49に記載の半導体装置。

【請求項51】 前記第1の壁部は、2つの側壁部を含むことを特徴とする請求項49に記載の半導体装置。

【請求項52】 前記2つの側壁部は、対向する一対の側壁部であることを特徴とする請求項51に記載の半導体装置。

【請求項53】 半導体基板上に形成された素子分離膜と、上記半導体基板上にゲート絶縁膜を介して形成され、ワード線に接続される複数のゲート電極と、上記複数のゲート電極上の両側の上記半導体基板中に形成されたソース/ドレイン領域と、上記ソース/ドレイン領域と上記素子分離膜を被覆する絶縁膜と、上記複数のゲート電極の一部と上記素子分離膜の一部を含むように、上記ソース/ドレイン領域上の上記絶縁膜中に形成された

(5)

7

コンタクトホールと、上記絶縁膜上に形成され、上記コンタクトホールの側壁部と上記ソース／ドレイン領域の一方と上記素子分離膜の一部を含む上記コンタクトホールの底部上に連続的に延設され、上記コンタクトホールの底部上に位置する部分の幅が上記ソース／ドレイン領域の一方の幅より大きいビット線と、上記ソース／ドレイン領域の他方に接続されるキャパシタとを具備することを特徴とする半導体装置。

【請求項54】 前記半導体基板、前記ソース／ドレイン領域の一方、前記ソース／ドレイン領域の他方、前記複数のゲート電極の1つ、及び前記ゲート絶縁膜は選択MOSトランジスタを構成し、前記選択MOSトランジスタと前記キャパシタはDRAMのメモリセルを構成することを特徴とする請求項53に記載の半導体装置。

【請求項55】 半導体基板と、上記半導体基板の一部上に形成された素子分離膜と、上記半導体基板上に形成されるDRAMセルであって、上記半導体基板上に形成されたゲート電極と、上記半導体基板中に形成されたソース／ドレイン領域とを有するスイッチングトランジスタと、上記ソース／ドレイン領域の一方に電気的に接続されたキャパシタとを備えるDRAMセルと、上記スイッチングトランジスタ上に形成された絶縁膜と、上記絶縁膜の一部上、上記コンタクトホール中及び上記素子分離膜の一部上に連続的に延設され、ビット線コンタクト部を介して上記ソース／ドレイン領域の他方に電気的に

8

接続されるビット線とを具備することを特徴とする半導体装置。

【請求項56】 前記ビット線コンタクト部は、前記コンタクトホールを埋め込んでいることを特徴とする請求項55に記載の半導体装置。

【請求項57】 前記ビット線コンタクト部は、前記ソース／ドレイン領域の他方に接触した第1の壁と、前記絶縁膜に接触した第2の壁とを含み、前記第1及び第2の壁は、前記コンタクトホールの開口内の領域の範囲であることを特徴とする請求項55に記載の半導体装置。

【請求項58】 半導体基板上に形成された第1層目の層と、上記第1層目の層上に形成された絶縁膜と、上記絶縁膜中に形成されたコンタクトホールと、上記絶縁膜上及び少なくとも上記コンタクトホールの底部と側壁部に形成され、上記コンタクトホールを介して上記第1層目の層に電気的に接続される第2層目の層とを具備し、上記第2層目の層は、上記第1の絶縁膜の上面よりも下の高さまで上記コンタクトホールの底部と側壁を被覆する第1の部分と、上記第1の部分と一体的に接続された第2の部分と、上記絶縁膜の上面上に形成された第3の部分とを有し、上記コンタクトホールの側壁の全ての部分の高さは、上記第2層目の層から上記コンタクトホール内に延設された第3の部分によって被覆され、上記コンタクトホールは、上記第2層目の層よりも幅が広いことを特徴とする半導体装置。